

10/522335

DT15 Re 25 CT/PTO 25 JAN 2005

DOCKET NO.: 264533US90PCT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yasushi INAGAKI, et al.

SERIAL NO.: NEW U.S. PCT APPLICATION

FILED: HEREWITH

INTERNATIONAL APPLICATION NO.: PCT/JP03/03561

INTERNATIONAL FILING DATE: March 24, 2003

FOR: MULTILAYER PRINTED WIRING BOARD

REQUEST FOR PRIORITY UNDER 35 U.S.C. 119
AND THE INTERNATIONAL CONVENTION

Commissioner for Patents
Alexandria, Virginia 22313

Sir:

In the matter of the above-identified application for patent, notice is hereby given that the applicant claims as priority:

<u>COUNTRY</u>	<u>APPLICATION NO</u>	<u>DAY/MONTH/YEAR</u>
Japan	2002-233775	09 August 2002
Japan	2003-064986	11 March 2003

Certified copies of the corresponding Convention application(s) were submitted to the International Bureau in PCT Application No. PCT/JP03/03561. Receipt of the certified copy(s) by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

Respectfully submitted,
OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Surinder Sachar

Masayasu Mori
Attorney of Record
Registration No. 47,301
Surinder Sachar
Registration No. 34,423

Customer Number

22850

(703) 413-3000
Fax No. (703) 413-2220
(OSMMN 08/03)

10/5223

PATENT COOPERATION TREATY

Rec'd PCT/PTrCT

25 JAN 2003

NOTIFICATION CONCERNING
SUBMISSION OR TRANSMITTAL
OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

From the INTERNATIONAL BUREAU

To:

TASHITA, Akihito
22-6, Sakae 1-chome, Naka-ku
Nagoya-shi, Aichi 460-0008
Japan

Date of mailing (day/month/year) 22 May 2003 (22.05.03)	
Applicant's or agent's file reference 7068P	IMPORTANT NOTIFICATION
International application No. PCT/JP03/03561	International filing date (day/month/year) 24 March 2003 (24.03.03)
International publication date (day/month/year) Not yet published	Priority date (day/month/year) 09 August 2002 (09.08.02)
Applicant IBIDEN CO., LTD. et al	

1. The applicant is hereby notified of the date of receipt (except where the letters "NR" appear in the right-hand column) by the International Bureau of the priority document(s) relating to the earlier application(s) indicated below. Unless otherwise indicated by an asterisk appearing next to a date of receipt, or by the letters "NR", in the right-hand column, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).
2. This updates and replaces any previously issued notification concerning submission or transmittal of priority documents.
3. An asterisk(*) appearing next to a date of receipt, in the right-hand column, denotes a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b). In such a case, the attention of the applicant is directed to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.
4. The letters "NR" appearing in the right-hand column denote a priority document which was not received by the International Bureau or which the applicant did not request the receiving Office to prepare and transmit to the International Bureau, as provided by Rule 17.1(a) or (b), respectively. In such a case, the attention of the applicant is directed to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

<u>Priority date</u>	<u>Priority application No.</u>	<u>Country or regional Office or PCT receiving Office</u>	<u>Date of receipt of priority document</u>
09 Augu 2002 (09.08.02)	2002-233775	JP	16 May 2003 (16.05.03)
11 Marc 2003 (11.03.03)	2003-64986	JP	16 May 2003 (16.05.03)

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland	Authorized officer Althea NEVERS (Fax 338 7010)
Facsimile No. (41-22) 338.70.10	Telephone No. (41-22) 338 8392

10/522332

PCT/JP 03/03561

日本国特許庁
JAPAN PATENT OFFICE

24.03.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2003年 3月 11日

出願番号

Application Number:

特願2003-064986

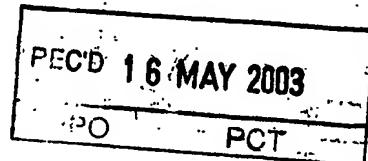
[ST.10/C]:

[JP2003-064986]

出願人

Applicant(s):

イビデン株式会社

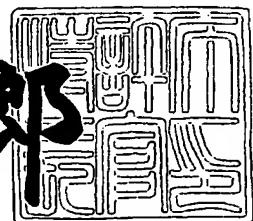


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年 5月 2日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



BEST AVAILABLE COPY

出証番号 出証特2003-3031702

【書類名】 特許願

【整理番号】 112313

【あて先】 特許庁長官殿

【国際特許分類】 H05K 01/34

【発明者】

【住所又は居所】 岐阜県揖斐郡揖斐川町北方1-1 イビデン株式会社内

【氏名】 稲垣 靖

【発明者】

【住所又は居所】 岐阜県揖斐郡揖斐川町北方1-1 イビデン株式会社内

【氏名】 佐野 克幸

【特許出願人】

【識別番号】 000000158

【住所又は居所】 岐阜県大垣市神田町2丁目1番地

【氏名又は名称】 イビデン株式会社

【代表者】 岩田 義文

【代理人】

【識別番号】 100095795

【住所又は居所】 名古屋市中区栄1丁目22番6号

【弁理士】

【氏名又は名称】 田下 明人

【選任した代理人】

【識別番号】 100098567

【住所又は居所】 名古屋市中区栄1丁目22番6号

【弁理士】

【氏名又は名称】 加藤 壮祐

【先の出願に基づく優先権主張】

【出願番号】 特願2002-233775

【出願日】 平成14年 8月 9日

【手数料の表示】

【予納台帳番号】 054874

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9401314

【フルーフの要否】 要

【書類名】 明細書

【発明の名称】 多層プリント配線板

【特許請求の範囲】

【請求項1】 コア基板上に、層間絶縁層と導体層が形成されて、バイアホールを介して電気的な接続の行われる多層プリント配線板において、

前記コア基板上の導体層の厚みは、層間絶縁層上の導体層の厚みよりも厚いことを特徴とする多層プリント配線板。

【請求項2】 コア基板上に、層間絶縁層と導体層が形成されて、バイアホールを介して、電気的な接続を行われる多層プリント配線板において、前記コア基板上の導体層の厚みを α_1 、層間絶縁層上の導体層の厚みを α_2 に対して、 $\alpha_2 < \alpha_1 \leq 40\alpha_2$ であることを特徴とする多層プリント配線板。

【請求項3】 前記 α_1 は、 $1.2\alpha_2 \leq \alpha_1 \leq 40\alpha_2$ であることを特徴とする請求項1に記載の多層プリント配線板。

【請求項4】 前記コア基板の導体層は、電源層用の導体層又はアース用の導体層である請求項1～請求項3のいずれか1に記載の多層プリント配線板。

【請求項5】 コンデンサが表面に実装されていることを特徴とする請求項1～請求項4のいずれか1に記載の多層プリント配線板。

【請求項6】 コア基板上に、層間絶縁層と導体層が形成されて、バイアホールを介して電気的な接続の行われる多層プリント配線板において、

前記コア基板が、内層に厚い導体層を有する3層以上の多層コア基板であって

前記コア基板の内層の導体層と表面の導体層とが、電源層用の導体層又はアース用の導体層であることを特徴とする多層プリント配線板。

【請求項7】 コア基板上に、層間絶縁層と導体層が形成されて、バイアホールを介して電気的な接続の行われる多層プリント配線板において、

前記コア基板が、内層に厚い導体層を有する3層以上の多層コア基板であって

前記コア基板の内層の導体層は、電源層用の導体層又はアース用の導体層であり

、表層の導体層は信号線からなることを特徴とする多層プリント配線板。

【請求項8】 前記コア基板の内層の導体層の厚みは、層間絶縁層上の導体層よりも厚いことを特徴とする請求項6または7に記載の多層プリント配線板。

【請求項9】 前記コア基板の内層の導体層は、2層以上である請求項6又は7に記載の多層プリント配線板。

【請求項10】 前記コア基板は、電気的に隔離された金属板の両面に、樹脂層を介在させて前記内層の導体層が、更に、当該内層の導体層の外側に樹脂層を介在させて前記表面の導体層が形成されて成ることを特徴とする請求項6又は請求項7の多層プリント配線板。

【請求項11】 前記コア基板は、内層に厚みの厚い導体層、表層に厚みの薄い導体層を備えることを特徴とする請求項6又は請求項7の多層プリント配線板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、多層プリント配線板に係り、高周波のICチップ、特に3GHz以上の高周波領域でのICチップを実装したとしても誤作動やエラーなどが発生することなく、電気特性や信頼性を向上させることができる多層プリント配線板に関することを提案する。

【0002】

【従来の技術】

ICチップ用のパッケージを構成するビルドアップ式の多層プリント配線板では、スルーホールが形成されたコア基板の両面もしくは片面に、層間絶縁樹脂を形成し、層間導通のためのバイアホールをレーザもしくはフォトエッチングにより開口させて、層間樹脂絶縁層を形成させる。そのバイアホール上にめっきなどにより導体層を形成し、エッチングなどを経て、パターンを形成し、導体回路を作り出させる。さらに、層間絶縁層と導体層を繰り返し形成させることにより、ビルドアップ多層プリント配線板が得られる。必要に応じて、表層には半田バンプ、外部端子（PGA/BGAなど）を形成させることにより、ICチップを実

装することができる基板やパッケージ基板となる。ICチップはC4（フリップチップ）実装を行うことにより、ICチップと基板との電気的接続を行っている

【0003】

ビルドアップ式の多層プリント配線板の従来技術としては、特許文献1、特許文献2などがある。ともに、スルーホールを充填樹脂で充填されたコア基板上に、ランドが形成されて、両面にバイアホールを有する層間絶縁層を施して、アディティブ法により導体層を施し、ランドと接続することにより、高密度化、微細配線を形成された多層プリント配線板を得られる。

【0004】

【特許文献1】

特開平6-260756号公報

【特許文献2】

特開平6-275959号公報

【0005】

【発明が解決しようとする課題】

しかしながら、ICチップが高周波になるにつれて、誤動作やエラーの発生の頻度が高くなってきた。特に周波数が3GHzを越えたあたりから、その度合いが高くなっている。5GHzを越えると全く動かなくなることもあった。そのために、該ICチップをCPUとして備えるコンピュータで、機能すべきはずの動作、例えば、画像の認識、スイッチの切り替え、外部へのデータの伝達などの所望の機能や動作を行えなくなってしまった。

【0006】

それらのICチップ、基板をそれぞれ非破壊検査や分解したいところICチップ、基板自体には、短絡やオープンなどの問題は発生しておらず、周波数の小さい（特に1GHz未満）ICチップを実装した場合には、誤動作やエラーの発生はなかった。

【0007】

本発明は、上述した課題を解決するためになされたものであり、その目的とす

るところは、高周波領域のICチップ、特に3GHzを越えても誤動作やエラーの発生しないプリント基板もしくはパッケージ基板を構成し得る多層プリント配線板を提案することにある。

【0008】

【課題を解決するための手段】

発明者らは、上記目的の実現に向け銳意研究した結果、以下に示す内容を要旨構成とする発明に想到した。すなわち、

本願発明は、コア基板上に、層間絶縁層と導体層が形成されて、バイアホールを介して、電気的な接続を行われる多層プリント配線板において、コア基板の導体層の厚みは、層間絶縁層上の導体層の厚みよりも厚いことを特徴とする多層プリント配線板にある。

【0009】

第1の効果として、コア基板の電源層の導体層が厚くすることにより、コア基板の強度が増す、それによりコア基板自体を薄くしたとしても、反りや発生した応力を基板自体で緩和することが可能となる。

【0010】

第2の効果として、導体層を厚くすることにより、導体自体の体積を増やすことができる。その体積を増やすことにより、導体での抵抗が低減することができる。そのため流れる信号線などの電気的な伝達などを阻害しなくなる。従って、伝達される信号などに損失を起こさない。それは、コアとなる部分の基板だけを厚くすることにより、その効果を奏する。

【0011】

第3の効果として、導体層を電源層として用いることで、ICチップへの電源の供給能力が向上させることができる。また、導体層をアース層として用いることで、ICチップへの信号、電源に重畳するノイズを低減させることができる。その根拠としては、第2の効果で述べた導体の抵抗の低減が、電源の供給も阻害しなくなる。そのため、該多層プリント基板上にICチップを実装したときに、ICチップ～基板～電源までのループインダクタンスを低減することができる。そのために、初期動作における電源不足が小さくなるため、電源不足が起き難く

なり、そのためにより高周波領域のICチップを実装したとしても、初期起動における誤動作やエラーなどを引き起こすことがない。

【0012】

また、ICチップ～基板～コンデンサもしくは電源層～電源を経て、ICチップに電源を供給する場合にも、同様の効果を奏する。前述のループインダクタンスを低減することができる。それ故に、コンデンサもしくは誘電体層の電源の供給に損失を起こさない。そもそもICチップは、瞬時的に電力を消費して、複雑な演算処理や動作が行われる。電源層からのICチップへの電力供給により、高周波領域のICチップを実装したとしても、初期動作における電源不足（電圧降下の発生という状況）に対して、大量のコンデンサを実装することなく、電源の供給をすることができる。そもそも高周波領域のICチップを用いるためには初期動作時の電源不足（電圧降下）が発生するが、従来のICチップでは供給されていたコンデンサもしくは誘電体層の容量で足りていた。

【0013】

特に、コア基板の電源層として用いられる導体層の厚みが、コア基板の片面もしくは両面上の層間絶縁層上に導体層の厚みより、厚いときに、上記の3つの効果を最大限にさせることができるのである。この場合の層間絶縁層上の導体層とは、絶縁層の中に心材を含浸されていない樹脂で形成された層間樹脂絶縁層に、層間を接続させるための非貫通孔であるバイアホールを形成したものにめつき、スパッタなどを経て形成された導体層を主として意味する。これ以外にも特に限定されないがバイアホールを形成されたものであれば、上記の導体層に該当する。

【0014】

コア基板の電源層は、基板の表層、内層もしくは、その両方に配置させてもよい。内層の場合は、2層以上に渡り多層化してもよい。基本的には、コア基板の電源層は層間絶縁層の導体層よりも厚くなっていれば、その効果を有するのである。

ただ、内層に形成することが望ましい。内層に形成されるとICチップと外部端もしくはコンデンサとの中間に電源層が配置される。そのため、双方の距離が均

一であり、阻害原因が少なくなり、電源不足が抑えられるからである。

【0015】

また、本発明では、コア基板上に、層間絶縁層と導体層が形成されて、バイアホールを介して、電気的な接続を行われる多層プリント配線板において、

コア基板上の導体層の厚みを α_1 、層間絶縁層上の導体層の厚みを α_2 に対して、 $\alpha_2 < \alpha_1 \leq 40\alpha_2$ であることを特徴とする多層プリント配線板にある。

【0016】

$\alpha_1 \leq \alpha_2$ の場合は、電源不足に対する効果が全くない。つまり、いいかえると初期動作時に発生する電圧降下に対して、その降下度を抑えるということが明確にならないということである。

$\alpha_1 > 40\alpha_2$ を越えた場合についても検討を行ったが、基本的には電気特性は、 $40\alpha_2$ とほぼ同等である。つまり、本願の効果の臨界点であると理解できる。これ以上厚くしても、電気的な効果の向上は望めない。ただ、この厚みを越えると、コア基板の表層に導体層を形成した場合にコア基板と接続を行うランド等が形成するのに困難が生じてしまう。さらに上層の層間絶縁層を形成すると、凹凸が大きくなってしまい、層間絶縁層にうねりを生じてしまうために、インピーダンスを整合することが出来なくなってしまうことがある。しかしながら、その範囲 ($\alpha_1 > 40\alpha_2$) でも問題がないときもある。

【0017】

導体層の厚み α_1 は、 $1.2\alpha_2 \leq \alpha_1 \leq 40\alpha_2$ であることがさらに望ましい。その範囲であれば、電源不足（電圧降下）によるICチップの誤動作やエラーなどが発生しないことが確認されている。

【0018】

この場合のコア基板とは、ガラスエポキシ樹脂などの芯材が含浸した樹脂基板、セラミック基板、金属基板、樹脂、セラミック、金属を複合して用いた複合コア基板、それらの基板の内層に（電源用）導体層が設けられた基板、3層以上の多層化した導体層が形成された多層コア基板を用いたもの等をさす。

【0019】

電源層の導体の厚みを、厚くするために、金属を埋め込まれた基板上に、めつ

き、スパッタなどの一般的に行われる導体層を形成するプリント配線板の方法で形成したものを用いてもよい。

【0020】

多層コア基板の場合であれば、コア基板の表層の導体層と内層の導体層をそれぞれ足した厚みが、コアの導体層の厚みとなる。この場合、表層の導体層と内層の導体層とが電気的な接続があり、かつ、2箇所以上での電気的な接続があるものであるときに適用される。つまり、多層化しても、コア基板の導体層の厚みを厚くすることが本質であり、効果自体はなんら変わりないのである。また、パッド、ランド程度の面積であれば、その面積の導体層の厚みは、足した厚みとはならない。導体層とは、電源層あるひはアース層であることが望ましい。

この場合は、3層（表層+内層）からなるコア基板でもよい。3層以上の多層コア基板でもよい。

必要に応じて、コア基板の内層にコンデンサや誘電体層、抵抗などの部品を埋め込み、形成させた電子部品収納コア基板を用いてもよい。

【0021】

さらに、コア基板の内層の導体層を厚くしたとき、ICチップの直下に該当の導体層を配置したほうがよい。ICチップの直下に配設させることにより、ICチップと電源層との距離を最短にすることができ、そのために、よりループインダクタンスを低減することができる。そのためにより効率よく電源供給がなされることとなり、電圧不足が解消されるのである。このときも、コア基板上の導体層の厚みを α_1 、層間絶縁層上の導体層の厚みを α_2 に対して、 $\alpha_2 < \alpha_1 \leq 40\alpha_2$ であることが望ましい。

【0022】

本願発明でのコア基板とは、以下のように定義される。芯材等が含浸された樹脂などの硬質基材であり、その両面もしくは片面に、芯材などを含まない絶縁樹脂層を用いて、フォトビアもしくはレーザによりバイアホールを形成して、導体層を形成して、層間の電気接続を行うときのものである。相対的に、コア基板の厚みは、樹脂絶縁層の厚みよりも厚い。基本的には、コア基板は電源層を主とする導体層が形成されて、その他信号線などは表裏の接続を行うためだけに形成さ

れている。

【0023】

なお、同一厚みの材料で形成されたもので、積層された多層プリント配線板であるならば、プリント基板における導体層として電源層を有する層もしくは基板をコア基板として定義される。

【0024】

更に、多層コア基板は、内層に相対的に厚い導体層を、表層に相対的に薄い導体層を有し、内層の導体層が、主として電源層用の導体層又はアース用の導体層であることが好適である。（相対的に厚い、薄いとは、全ての導体層の厚みを比較して、その傾向がある場合、この場合は、内層は他の導体層と比較すると相対的に厚いということとなり、表層はその逆であると言うことを示している。）即ち、内層側に厚い導体層を配置させることにより、その厚みを任意に変更したとしても、その内層の導体層を覆うように、樹脂層を形成させることができるとなるため、コアとしての平坦性が得られる。そのため、層間絶縁層の導体層にうねりを生じさせることができない。多層コア基板の表層に薄い導体層を配置しても、内層の導体層と足した厚みでコアの導体層として十分な導体層の厚みを確保することができる。これらを、電源層用の導体層又はアース用の導体層として用いることで、多層プリント配線板の電気特性を改善することが可能になる。

【0025】

コア基板の内層の導体層の厚みを、層間絶縁層上の導体層よりも厚くする。これにより、多層コア基板の表面に導体層を配置しても、内層の厚い導体層と足すことで、コアの導体層として十分な厚みを確保できる。つまり、大容量の電源が供給されたとしても、問題なく、起動することができるため、誤作動や動作不良を引き起こさない。このときも、コア基板上の導体層の厚みを α_1 、層間絶縁層上の導体層の厚みを α_2 に対して、 $\alpha_2 < \alpha_1 \leq 40\alpha_2$ であることが望ましい。

【0026】

多層コア基板にしたとき、内層の導体層は、導体層の厚みを相対的に厚くし、かつ、電源層として用いて、表層の導体層は、内層の導体層を挟むようにし、形

成され、かつ、信号線として用いられている場合であることも望ましい。この構造により、前述の電源強化を図ることができる。

【0027】

さらに、コア基板内で導体層と導体層との間に信号線を配置することでマイクロストリップ構造を形成させることができるために、インダクタンスを低下させ、インピーダンス整合を取ることができる。そのために、電気特性も安定化することができる。また、表層の導体層を相対的に薄くすることができる望ましい構造となるのである。コア基板は、スルーホールピッチを600 μ m以下にしてもよい。

【0028】

多層コア基板は、電気的に接続された金属板の両面に、樹脂層を介在させて内層の導体層が、更に、当該内層の導体層の外側に樹脂層を介在させて表面の導体層が形成されて成ることが好適である。中央部に電気的に隔離された金属板を配置することで、十分な機械的強度を確保することができる。更に、金属板の両面に樹脂層を介在させて内層の導体層を、更に、当該内層の導体層の外側に樹脂層を介在させて表面の導体層を形成することで、金属板の両面で対称性を持たせ、ヒートサイクル等において、反り、うねりが発生することを防げる。

【0029】

図24は、縦軸にICチップへ供給される電圧、横軸には時間経過を示している。図24は、1GHz以上の高周波ICチップ電源用のコンデンサを備えないプリント配線板をモデルにしたものである。線Aは、1GHzのICチップへの電圧の経時変化を示したものであり、線Bは、3GHzのICチップへの電圧の経時変化を示したものである。その経時変化は、ICチップが起動し始めたとき、瞬時に大量の電源が必要となる。その供給が不足していると電圧が降下する(X点、X'点)。その後、供給する電源が徐々に充足されるので、電圧効果は解消される。しかしながら、電圧が降下したときには、ICチップの誤作動やエラーを引き起こしやすくなる。つまり、電源の供給不足によるICチップの機能が十分に機能、起動しないがために起こる不具合である。この電源不足(電圧降下)はICチップの周波数は増えるにつれて、大きくなってくる。そのために、電圧

降下を解消するためには、時間が掛かってしまい、所望の機能、起動を行うために、タイムラグが生じてしまう。

【0030】

前述の電源不足（電圧降下）を補うために、外部のコンデンサと接続させて、該コンデンサ内に蓄積された電源を放出することにより、電源不足もしくは電圧降下を小さくすることができる。

図25には、コンデンサを備えたプリント基板をモデルにしたものである。線Cは、小容量のコンデンサを実装して、1GHzのICチップにおける電圧の経時変化を示したものである。コンデンサを実装していない線Aに比べると電圧降下の度合いが小さくなっている。さらに、線Dは、線Cで行ったものに比べて大容量のコンデンサを実装して、線C同様に経時変化を示したものである。さらに線Cと比較しても、電圧降下の度合いが小さくなっている。それにより、短時間で所望のICチップも機能、起動を行うことができる。しかしながら、図24に示したように、ICチップがより高周波領域になると、より多くのコンデンサ容量が必要になってしまい、そのためにコンデンサの実装する領域を設定する必要となるため、電圧の確保が困難になってしまい、動作、機能を向上することができないし、高密度化という点でも難しくなってしまう。

【0031】

コア基板の導体層および電源の導体層の厚み α_1 、層間絶縁層上の導体層の厚み α_2 としたときグラフを図26に示す。図26中に、線Cは、小容量のコンデンサを実装して、1GHzのICチップで、 $\alpha_1 = \alpha_2$ における電圧の経時変化を示している。また、線Fは、小容量のコンデンサを実装して、1GHzのICチップで、 $\alpha_1 = 1.5\alpha_2$ における電圧の経時変化を示し、線Eは、小容量のコンデンサを実装して、1GHzのICチップで、 $\alpha_1 = 2.0\alpha_2$ における電圧の経時変化を示している。コアの導体層の厚みが厚くなるにつれて、電源不足もしくは電圧降下が小さくなっている。そのために、ICチップの機能、動作の不具合の発生が少なくなるといえる。コア基板の導体層および電源層の導体層の厚みを厚くすることにより、導体層の体積が増すことになる。体積が増すと導体抵抗が低減されるので、伝達される電源における電圧、電流への

損失がなくなる。そのために、ICチップ～電源間での伝達損失が小さくなり、電源の供給が行われるので、誤動作やエラーなどを引き起こさない。この場合は、特に電源層の導体層の厚みによる要因が大きく、コア基板における電源層の導体層の厚みを他の層間絶縁層上の導体回路よりも厚くすることにより、その効果を奏する。

【0032】

また、コア基板の片面もしくは両面の表層の形成された導体層および電源の導体層を厚くした場合だけでなく、3層以上の多層コア基板にした場合、内層に導体層あるいは内層に電源層用の導体層を形成したコア基板にした場合でも同様の効果を奏することがわかった。つまり、電源不足もしくは電圧降下を小さくする効果があるのである。なお、多層コア基板の場合は、コア基板のすべての層の導体層および電源層の導体層の厚みが、層間絶縁層上の導体層の厚みよりも厚いときでも、コア基板のすべての層の導体層および電源層の導体層の厚みが、層間絶縁層上の導体層の厚みと同等もしくはそれ以下のときでも、全ての層の導体の厚みを足した厚みの総和が、層間絶縁層上の導体層の厚みより、厚くなったり、その効果を奏する。この場合は、それぞれの導体層の面積の差がない。つまり、ほぼ同一な面積比である場合に、その効果を奏する。例えば、2層の導体層において、片方がベタ層の大面積であるのに対して、もう一方は、バイアホール及びそのランド程度である場合には、もう一方の層の導体層の効果は相殺されてしまう。

【0033】

さらに、コア基板内にコンデンサや誘電体層、抵抗などの電子部品を内蔵した基板であっても、その効果は顕著に表れる。内蔵されることにより、ICチップとコンデンサもしくは誘電体層との距離を短くすることができる。そのために、ループインダクタンスを低減することができる。電源不足もしくは電圧降下を小さくすることができる。例えば、コンデンサや誘電体層を内蔵したコア基板においても、コアの基板の導体層および電源層の導体層の厚みを層間絶縁層上の導体層の厚みよりも厚くすることにより、メインの電源と内蔵されたコンデンサや誘電体層の電源との双方の導体抵抗を減らすことができるので、伝達損失を低減す

ることができ、コンデンサを内蔵した基板の効果をいっそう發揮されるようになる。

【0034】

コア基板の材料は、樹脂基板で検証を行ったが、セラミック、金属コア基板でも同様の効果を奏することがわかった。また、導体層の材質も銅からなる金属で行ったが、その他の金属でも、効果が相殺されて、誤動作やエラーが発生が増加するということは確認されていないことから、コア基板の材料の相違もしくは導体層を形成する材質の相違には、その効果の影響はないものと思われる。より望ましいのは、コア基板の導体層と層間絶縁層の導体層とは、同一金属で形成されることである。電気特性、熱膨張係数などの特性や物性が変わらないことから、本願の効果を奏される。

【0035】

【発明の実施の形態】

【実施例】

[第1実施例] ガラスエポキシ樹脂基板

先ず、本発明の第1実施例に係る多層プリント配線板10の構成について、図1～図7を参照して説明する。図6は、該多層プリント配線板10の断面図を、図7は、図6に示す多層プリント配線板10にICチップ90を取り付け、ドータボード94へ載置した状態を示している。図6に示すように、多層プリント配線板10では、コア基板30の表面に導体回路34、導体層34P、裏面に導体回路34、導体層34Eが形成されている。上側の導体層34Pは、電源用のプレーン層として形成され、下側の導体層34Eは、アース用のプレーン層として形成されている。コア基板30の表面と裏面とはスルーホール36を介して接続されている。更に、該導体層34P、34Eの上にバイアホール60及び導体回路58の形成された層間樹脂絶縁層50と、バイアホール160及び導体回路158の形成された層間樹脂絶縁層150とが配設されている。該バイアホール160及び導体回路158の上層にはソルダーレジスト層70が形成されており、該ソルダーレジスト層70の開口部71を介して、バイアホール160及び導体回路158にパンプ76U、76Dが形成されている。

【0036】

図7中に示すように、多層プリント配線板10の上面側のハンダバンプ76Uは、ICチップ90のランド92へ接続される。更に、チップコンデンサ98が実装される。一方、下側のハンダバンプ76Dは、データボード94のランド96へ接続されている。

【0037】

ここで、コア基板30上の導体層34P、34Eは、厚さ1～250μmに形成され、層間樹脂絶縁層50上の導体回路58及び層間樹脂絶縁層150上の導体回路158は5～25μm（望ましい範囲10～20μm）に形成されている。

【0038】

第1実施例の多層プリント配線板では、コア基板30の電源層（導体層）34P、導体層34Eが厚くなることにより、コア基板の強度が増す、それによりコア基板自体の厚みを薄くしたとしても、反りや発生した応力を基板自体で緩和することが可能となる。

【0039】

また、導体層34P、34Eを厚くすることにより、導体自体の体積を増やすことができる。その体積を増やすことにより、導体での抵抗が低減することができる。

【0040】

更に、導体層34Pを電源層として用いることで、ICチップ90への電源の供給能力が向上させることができる。そのため、該多層プリント基板上にICチップを実装したときに、ICチップ～基板～電源までのループインダクタンスを低減することができる。そのために、初期動作における電源不足が小さくなるため、電源不足が起き難くなり、そのためにより高周波領域のICチップを実装したとしても、初期起動における誤動作やエラーなどを引き起こすことがない。更に、導体層34Eをアース層として用いることで、ICチップの信号、電力供給にノイズが重畠しなくなり、誤動作やエラーを防ぐことができる。

【0041】

引き続き、図6を参照して上述した多層プリント配線板10の製造方法について図1～図5を参照して説明する。

(第1実施例-1)

A. 層間樹脂絶縁層の樹脂フィルムの作製ビスフェノールA型エポキシ樹脂（エポキシ当量455、油化シェルエポキシ社製エピコート1001）29重量部、クレゾールノボラック型エポキシ樹脂（エポキシ当量215、大日本インキ化学工業社製 エピクロンN-673）39重量部、トリアジン構造含有フェノールノボラック樹脂（フェノール性水酸基当量120、大日本インキ化学工業社製 フェノライトKA-7052）30重量部をエチルジグリコールアセテート20重量部、ソルベントナフサ20重量部に攪拌しながら加熱溶解させ、そこへ末端エポキシ化ポリブタジエンゴム（ナガセ化成工業社製 デナレックスR-45EP-T）15重量部と2-フェニル-4、5-ビス（ヒドロキシメチル）イミダゾール粉碎品1.5重量部、微粉碎シリカ2.5重量部、シリコン系消泡剤0.5重量部を添加しエポキシ樹脂組成物を調製した。

得られたエポキシ樹脂組成物を厚さ38μmのPETフィルム上に乾燥後の厚さが50μmとなるようにロールコーティングを用いて塗布した後、80～120℃で10分間乾燥させることにより、層間樹脂絶縁層用樹脂フィルムを作製した。

【0042】

B. 樹脂充填材の調製

ビスフェノールF型エポキシモノマー（油化シェル社製、分子量：310、YL983U）100重量部、表面にシランカップリング剤がコーティングされた平均粒径が1.6μmで、最大粒子の直径が15μm以下のSiO₂球状粒子（アドテック社製、CRS-1101-CE）170重量部およびレベリング剤（サンノブコ社製 ペレノールS4）1.5重量部を容器にとり、攪拌混合することにより、その粘度が23±1℃で44～49Pa·sの樹脂充填材を調製した。なお、硬化剤として、イミダゾール硬化剤（四国化成社製、2E4MZ-CN）6.5重量部を用いた。充填材用樹脂としては、他のエポキシ樹脂（例えば、ビスフェノールA型、ノボラック型など）、ポリイミド樹脂、フェノール樹脂などの熱硬化性樹脂を用いてもよい。

【0043】

C. 多層プリント配線板の製造

(1) 厚さ0.2~0.8mmのガラスエポキシ樹脂またはBT(ビスマレイミドトリアジン)樹脂からなる絶縁性基板30の両面に5~250μmの銅箔32がラミネートされている銅張積層板30Aを出発材料とした(図1(A))。まず、この銅張積層板をドリル削孔し、無電解めっき処理および電解めっき処理を施し、パターン状にエッチングすることにより、基板の両面に導体回路34、導体層34P、34Eとスルーホール36を形成した(図1(B))。

【0044】

(2) スルーホール36および下層導体回路34を形成した基板30を水洗いし、乾燥した後、NaOH(10g/1)、NaClO₂(40g/1)、Na₃PO₄(6g/1)を含む水溶液を黒化浴(酸化浴)とする黒化処理、および、NaOH(10g/1)、NaBH₄(6g/1)を含む水溶液を還元浴とする還元処理を行い、そのスルーホール36内に粗化面36αを形成すると共に、導体回路34、導体層34P、34Eの全表面に粗化面34αを形成した(図1(C))。

【0045】

(3) 上記Bに記載した樹脂充填材を調製した後、下記の方法により調製後24時間以内に、スルーホール36内、および、基板の導体回路非形成部に樹脂充填材40の層を形成した(図1(D))。

即ち、スルーホールおよび導体回路非形成部に相当する部分が開口した版を有する樹脂充填用マスクを基板上に載置し、スキージを用いてスルーホール内、凹部となっている下層導体回路非形成部、および、下層導体回路の外縁部に樹脂充填材を充填し、100℃/20分の条件で乾燥させた。

【0046】

(4) 上記(3)の処理を終えた基板の片面を、#600のベルト研磨紙(三共理化学製)を用いたベルトサンダー研磨により、導体層34P、34Eの外縁部やスルーホール36のランドの外縁部に樹脂充填材40が残らないように研磨し、次いで、上記ベルトサンダー研磨による傷を取り除くため、導体層34P、3

4 E の全表面（スルーホールのランド表面を含む）にバフ研磨を行った。このような一連の研磨を基板の他方の面についても同様に行つた。次いで、100°Cで1時間、150°Cで1時間の加熱処理を行つて樹脂充填材40を硬化した（図2(A)）。

【0047】

このようにして、スルーホール36や導体回路非形成部に形成された樹脂充填材40の表層部および導体層34P、34Eの表面を平坦化し、樹脂充填材40と導体層34P、34Eの側面とが粗化面を介して強固に密着し、またスルーホール36の内壁面と樹脂充填材とが粗化面を介して強固に密着した基板を得た。即ち、この工程により、樹脂充填材の表面と下層導体回路の表面とが略同一平面となる。

コア基板の導体層の厚みはコア基板の導体層の厚みは1～250μmの間で形成されて、コア基板上に形成された電源層の導体層の厚みは、1～250μmの間で形成された。このとき、実施例1-1では、銅箔の厚み40μmのものを用いて、コア基板の導体層の厚みは30μm、コア基板上に形成された電源層の導体層の厚みは30μmであった。しかしながら、導体層の厚みは上記厚みの範囲を超えててもよい。

【0048】

(5) 上記基板を水洗、酸性脱脂した後、ソフトエッティングし、次いで、エッティング液を基板の両面にスプレイで吹きつけて、導体回路3.4、導体層34P、34Eの表面とスルーホール36のランド表面と内壁とをエッティングすることにより、導体回路の全表面に粗化面3.6βを形成した（図2(B)）。エッティング液としては、イミダゾール銅（II）錯体10重量部、グリコール酸7.3重量部、塩化カリウム5重量部からなるエッティング液（メック社製、メックエッチボンド）を使用した。

【0049】

(6) 基板の両面に、Aで作製した基板より少し大きめの層間樹脂絶縁層用樹脂フィルム50μを基板上に載置し、圧力0.45MPa、温度80°C、圧着時間10秒の条件で仮圧着して裁断した後、さらに、以下の方法により真空ラミネー

ター装置を用いて貼り付けることにより層間樹脂絶縁層を形成した（図2（C））。すなわち、層間樹脂絶縁層用樹脂フィルムを基板上に、真密度6.7Pa、圧力0.47MPa、温度85℃、圧着時間60秒の条件で本圧着し、その後、170℃で40分間熱硬化させた。

【0050】

（7）次に、層間樹脂絶縁層上に、厚さ1.2mmの貫通孔が形成されたマスクを介して、波長10.4μmのCO₂ガスレーザにて、ビーム径4.0mm、トップハットモード、パルス幅8.1μ秒、マスクの貫通孔の径1.0mm、1ショットの条件で層間樹脂絶縁層2に、直径60～100μmの間でのバイアホール用開口50aを形成した（図2（D））。今回は直径60μmと75μmで形成した。

【0051】

（8）バイアホール用開口6を形成した基板を、60g／lの過マンガン酸を含む80℃の溶液に10分間浸漬し、層間樹脂絶縁層2の表面に存在するエポキシ樹脂粒子を溶解除去することにより、バイアホール用開口50aの内壁を含む層間樹脂絶縁層50の表面に粗化面50aを形成した（図2（E））。

【0052】

（9）次に、上記処理を終えた基板を、中和溶液（シブレイ社製）に浸漬してから水洗いした。

さらに、粗面化処理（粗面深さ3μm）した該基板の表面に、パラジウム触媒を付与することにより、層間樹脂絶縁層の表面およびバイアホール用開口の内壁面に触媒核を付着させた。すなわち、上記基板を塩化パラジウム（PbCl₂）と塩化第一スズ（SnCl₂）とを含む触媒液中に浸漬し、パラジウム金属を析出させることにより触媒を付与した。

【0053】

（10）次に、以下の組成の無電解銅めっき水溶液中に、触媒を付与した基板を浸漬して、粗面全体に厚さ0.3～3.0μmの無電解銅めっき膜を形成し、バイアホール用開口50aの内壁を含む層間樹脂絶縁層50の表面に無電解銅めっき膜52が形成された基板を得た（図3（A））。

〔無電解めっき水溶液〕

Ni SO ₄	0.003 mol/l
酒石酸	0.200 mol/l
硫酸銅	0.032 mol/l
HCHO	0.050 mol/l
NaOH	0.100 mol/l
α、α' -ビピリジル	100 mg/l
ポリエチレングリコール (PEG)	0.10 g/l

〔無電解めっき条件〕

34°Cの液温度で45分

【0054】

(11) 無電解銅めっき膜52が形成された基板に市販の感光性ドライフィルムを張り付け、マスクを載置して、110mJ/cm²で露光し、0.8%炭酸ナトリウム水溶液で現像処理することにより、厚さ25μmのめっきレジスト54を設けた(図3(B))。

【0055】

(12) ついで、基板を50°Cの水で洗浄して脱脂し、25°Cの水で水洗後、さらに硫酸で洗浄してから、以下の条件で電解めっきを施し、めっきレジスト54非形成部に、厚さ20μmの電解銅めっき膜56を形成した(図3(C))。

〔電解めっき液〕

硫酸	2.24 mol/l
硫酸銅	0.26 mol/l
添加剤	19.5 ml/l

(アトテックジャパン社製、カバラシドGL)

〔電解めっき条件〕

電流密度	1 A/dm ²
時間	65分
温度	22±2°C

【0056】

(13) さらに、めっきレジスト3を5%KOHで剥離除去した後、そのめっきレジスト下の無電解めっき膜を硫酸と過酸化水素との混合液でエッティング処理して溶解除去し、独立の導体回路58及びバイアホール60とした(図3(D))

【0057】

(14) ついで、上記(5)と同様の処理を行い、導体回路58及びバイアホール60の表面に粗化面58a、60aを形成した。上層の導体回路58の厚みは15μmの厚みであった(図4(A))。ただし、上層の導体回路の厚みは、5~25μmの間で形成してもよい。

【0058】

(15) 上記(6)~(14)の工程を繰り返すことにより、さらに上層の導体回路を形成し、多層配線板を得た(図4(B))。

【0059】

(16) 次に、ジエチレングリコールジメチルエーテル(DMDG)に60重量%の濃度になるように溶解させた、クレゾールノボラック型エポキシ樹脂(日本化薬社製)のエポキシ基50%をアクリル化した感光性付与のオリゴマー(分子量:4000)45.67重量部、メチルエチルケトンに溶解させた80重量%のピスフェノールA型エポキシ樹脂(油化シェル社製、商品名:エピコート1001)16.0重量部、イミダゾール硬化剤(四国化成社製、商品名:2E4MZ-CN)1.6重量部、感光性モノマーである2官能アクリルモノマー(日本化薬社製、商品名:R604)4.5重量部、同じく多価アクリルモノマー(共栄化学社製、商品名:DPE6A)1.5重量部、分散系消泡剤(サンノプコ社製、S-65)0.71重量部を容器にとり、攪拌、混合して混合組成物を調製し、この混合組成物に対して光重合開始剤としてベンゾフェノン(関東化学社製)1.8重量部、光増感剤としてのミヒラーケトン(関東化学社製)0.2重量部、を加えることにより、粘度を25°Cで2.0Pa·sに調整したソルダーレジスト組成物を得た。

なお、粘度測定は、B型粘度計(東京計器社製、DVL-B型)で60min⁻¹の場合はローターNo.4、6min⁻¹の場合はローターNo.3によった。

【0060】

(17) 次に、多層配線基板の両面に、上記ソルダーレジスト組成物70を20μmの厚さで塗布し、70℃で20分間、70℃で30分間の条件で乾燥処理を行った後(図4(C))、ソルダーレジスト開口部のパターンが描画された厚さ5mmのフォトマスクをソルダーレジスト層70に密着させて1000mJ/c²の紫外線で露光し、DMTG溶液で現像処理し、200μmの直径の開口71を形成した(図5(A))。

そして、さらに、80℃で1時間、100℃で1時間、120℃で1時間、150℃で3時間の条件でそれぞれ加熱処理を行ってソルダーレジスト層を硬化させ、開口を有し、その厚さが15~25μmのソルダーレジストパターン層を形成した。上記ソルダーレジスト組成物としては、市販のソルダーレジスト組成物を使用することもできる。

【0061】

(18) 次に、ソルダーレジスト層70を形成した基板を、塩化ニッケル(2.3×10⁻¹mol/l/1)、次亜リン酸ナトリウム(2.8×10⁻¹mol/l/1)、クエン酸ナトリウム(1.6×10⁻¹mol/l/1)を含むpH=4.5の無電解ニッケルめっき液に20分間浸漬して、開口部71に厚さ5μmのニッケルめっき層72を形成した。さらに、その基板をシアン化金カリウム(7.6×10⁻³mol/l/1)、塩化アンモニウム(1.9×10⁻¹mol/l/1)、クエン酸ナトリウム(1.2×10⁻¹mol/l/1)、次亜リン酸ナトリウム(1.7×10⁻¹mol/l/1)を含む無電解金めっき液に80℃の条件で7.5分間浸漬して、ニッケルめっき層72上に、厚さ0.03μmの金めっき層74を形成した(図5(B))。ニッケルー金層以外にも、スズ、貴金属層(金、銀、パラジウム、白金など)の単層を形成してもよい。

【0062】

(19) この後、基板のICチップを載置する面のソルダーレジスト層70の開口71に、スズー鉛を含有するはんだペーストを印刷し、さらに他方の面のソルダーレジスト層の開口にスズーアンチモンを含有するはんだペーストを印刷した後、200℃でリフローすることによりはんだバンプ(はんだ体)を形成し、は

んだバンプ76U、76Dを有する多層プリント配線板を製造した(図6)。

【0063】

半田バンプ76Uを介してICチップ90を取り付け、チップコンデンサ98を実装する。そして、半田バンプ76Dを介してデータボード94へ取り付ける(図7)。

【0064】

(第1実施例-2)

図6を参照して上述した第1実施例-1と同様であるが以下の様に製造した。

コア基板の導体層の厚み: 55 μ m コア基板の電源層の厚み: 55 μ m

層間絶縁層の導体層の厚み: 15 μ m

【0065】

(第1実施例-3)

第1実施例-1と同様であるが、以下のように製造した。

コア基板の導体層の厚み: 75 μ m コア基板の電源層の厚み: 75 μ m

層間絶縁層の導体層の厚み: 15 μ m

【0066】

(第1実施例-4)

第1実施例と同様であるが、以下のように製造した。

コア基板の導体層の厚み: 180 μ m コア基板の電源層の厚み: 180 μ m

層間絶縁層の導体層の厚み: 6 μ m

【0067】

(第1実施例-5)

第1実施例と同様であるが、以下のように製造した。

コア基板の導体層の厚み: 18 μ m コア基板の電源層の厚み: 18 μ m

層間絶縁層の導体層の厚み: 15 μ m

【0068】

なお、第1実施例において、 $1 < (\text{コア基板の電源層の導体層の厚み} / \text{層間絶縁層の導体層の厚み}) \leq 40$ のものを適合例として、 $(\text{コア基板の電源層の導体層の厚み} / \text{層間絶縁層の導体層の厚み}) \leq 1$ を比較例とした。また、(コア基板

の電源層の導体層の厚み／層間絶縁層の導体層の厚み) > 40 のものを参考例とした。

【0069】

[第2実施例] セラミック基板

第2実施例に係る多層プリント配線板について説明する。

図6を参照して上述した第1実施例では、コア基板が絶縁樹脂で形成されていた。これに対して、第2実施例では、コア基板がセラミック、ガラス、ALN、ムライトなどからなる無機系硬質基板であるが、他の構成は図6を参照して上述した第1実施例と同様であるため、図示及び説明は省略する。

【0070】

第2実施例の多層プリント配線板においても、コア基板30上の導体層34P、34P及びコア基板内の導体層24は、銅、タンゲステムなどの金属で形成され、層間樹脂絶縁層50上の導体回路58及び層間樹脂絶縁層150上の導体回路158は銅で形成されている。この第2実施例においても第1実施例と同様な効果を得ている。このとき、コア基板の導体層の厚み、コア基板の電源層の厚み、層間絶縁層の厚みも第1実施例と同様に形成された。また、第2実施例において、 $1 < (\text{コア基板の電源層の導体層の厚み} / \text{層間絶縁層の導体層の厚み}) \leq 40$ のものを適合例として、 $(\text{コア基板の電源層の導体層の厚み} / \text{層間絶縁層の導体層の厚み}) \leq 1$ を比較例とした。また、 $(\text{コア基板の電源層の導体層の厚み} / \text{層間絶縁層の導体層の厚み}) > 40$ のものを参考例とした。

【0071】

(第2実施例-1)

上述した第2実施例と同様であるが以下の様に製造した。

コア基板の導体層の厚み: $30 \mu m$ コア基板の電源層の厚み: $30 \mu m$

層間絶縁層の導体層の厚み: $15 \mu m$

【0072】

(第2実施例-2)

上述した第2実施例と同様であるが以下の様に製造した。

コア基板の導体層の厚み: $50 \mu m$ コア基板の電源層の厚み: $50 \mu m$

層間絶縁層の導体層の厚み: 15 μm

【0073】

(第2実施例-3)

上述した第2実施例と同様であるが以下の様に製造した。

コア基板の導体層の厚み: 75 μm コア基板の電源層の厚み: 75 μm

層間絶縁層の導体層の厚み: 15 μm

【0074】

(第2実施例-4)

上述した第2実施例と同様であるが以下の様に製造した。

コア基板の導体層の厚み: 180 μm コア基板の電源層の厚み: 180 μm

層間絶縁層の導体層の厚み: 6 μm

【0075】

[第3実施例] 金属コア基板

図8及び図9を参照して第3実施例に係る多層プリント配線板について説明する。

図6を参照して上述した第1実施例では、コア基板が樹脂板で形成されていた。これに対して、第3実施例では、コア基板が金属板から成る。

【0076】

図8は、第3実施例に係る多層プリント配線板10の断面図を、図9は、図8に示す多層プリント配線板10にICチップ90を取り付け、データボード94へ載置した状態を示している。図8に示すように、多層プリント配線板10では、コア基板30は金属板からなり、電源層として用いられる。コア基板30の両面には、バイアホール60及び導体回路58が配置された層間樹脂絶縁層50が形成され、層間樹脂絶縁層50の上には、バイアホール160及び導体回路158が配置された層間樹脂絶縁層150が形成されている。コア基板30の通孔33内には、スルーホール36が形成され、バイアホールの両端には蓋めっき層37が配置されている。該バイアホール160及び導体回路158の上層にはソルダーレジスト層70が形成されており、該ソルダーレジスト層70の開口部71を介して、バイアホール160及び導体回路158にバンプ76U、76Dが形

成されている。

【0077】

図9中に示すように、多層プリント配線板10の上面側のハンダバンプ76Uは、ICチップ90のランド92へ接続される。更に、チップコンデンサ98が実装される。一方、下側のハンダバンプ76Dは、データボード94のランド96へ接続されている。

【0078】

ここで、コア基板30は、200～600μmに形成されている。金属板の厚みは、15～300μmの間で形成された。層間絶縁層の導体層の厚みは、5～25μmの間で形成してもよい。しかしながら、金属層の厚みは上述の範囲を超えててもよい。

この第3実施例においても、第1実施例と同様な効果を得ている。

【0079】

(第3実施例-1)

図8を参照して上述した第3実施例と同様であるが以下のように設定した。

コア基板の厚み：550μm コア基板の電源層の厚み：35μm

層間絶縁層の導体層の厚み：15μm

【0080】

(第3実施例-2)

第3実施例と同様であるが以下のように設定した。

コア基板の厚み：600μm コア基板の電源層の厚み：55μm

層間絶縁層の導体層の厚み：15μm

【0081】

(第3実施例-3)

第3実施例と同様であるが以下のように設定した。

コア基板の厚み：550μm コア基板の電源層の厚み：100μm

層間絶縁層の導体層の厚み：10μm

【0082】

(第3実施例-4)

第3実施例と同様であるが以下のように設定した。

コア基板の厚み: 550 μ m コア基板の電源層の厚み: 180 μ m

層間絶縁層の導体層の厚み: 6 μ m

【0083】

(第3実施例-5)

第3実施例と同様であるが以下のように設定した。

コア基板の厚み: 550 μ m コア基板の電源層の厚み: 240 μ m

層間絶縁層の導体層の厚み: 6 μ m

【0084】

なお、第3実施例において、 $1 < (\text{コア基板の電源層の導体層の厚み} / \text{層間絶縁層の導体層の厚み}) \leq 4$ のものを適合例として、(コア基板の電源層の導体層の厚み / 層間絶縁層の導体層の厚み) ≤ 1 を比較例とした。また、(コア基板の電源層の導体層の厚み / 層間絶縁層の導体層の厚み) > 4 のものを参考例とした。

【0085】

[第4実施例]多層コア基板

図10及び図11を参照して第4実施例に係る多層プリント配線板について説明する。

図6を参照して上述した第1実施例では、コア基板が单板で形成されていた。これに対して、第4実施例では、コア基板が積層板からなり、積層板内に導体層が設けられている。

【0086】

図10は、第4実施例に係る多層プリント配線板10の断面図を、図11は、図10に示す多層プリント配線板10にICチップ90を取り付け、データポート94へ載置した状態を示している。図10に示すように、多層プリント配線板10では、コア基板30の表面及び裏面に導体回路34、導体層34Pが形成され、コア基板30内に導体層24が形成されている。導体層34P及び導体層24は、電源用のプレーン層として形成されている。導体層34Pと導体層24とは導電ポスト26により接続されている。(この場合の導電ポストとは、スルー

ホール、非貫通孔などのバイアホール（含むブラインドスルーホール、ブラインドバイアホール）スルーホールもしくはバイアホール導電性材料で充填したもの意味する。）更に、該導体層34Pの上にバイアホール60及び導体回路58の形成された層間樹脂絶縁層50と、バイアホール160及び導体回路158の形成された層間樹脂絶縁層150とが配置されている。該バイアホール160及び導体回路158の上層にはソルダーレジスト層70が形成されており、該ソルダーレジスト層70の開口部71を介して、バイアホール160及び導体回路158にパンプ76U、76Dが形成されている。

【0087】

図11中に示すように、多層プリント配線板10の上面側のハンダパンプ76Uは、ICチップ90のランド92へ接続される。更に、チップコンデンサ98が実装される。一方、下側のハンダパンプ76Dは、データボード94のランド96へ接続されている。

【0088】

ここで、コア基板30上の導体回路34、導体層34P、34P及びコア基板内の導体層24が形成され、層間樹脂絶縁層50上の導体回路58及び層間樹脂絶縁層150上の導体回路158が形成されている。コア基板の導体層34Pおよび導体層24の厚みはコア基板の導体層の厚みは1～250μmの間で形成されて、コア基板上に形成された電源層としての役目を果たすの導体層の厚みは、1～250μmの間で形成された。この場合の導体層の厚みは、コア基板の電源層の厚みの総和である。内層である導体層34、表層である導体層24、その双方を足したものであるという意味である。信号線の役目を果たしているものとを足すことではない。この第4実施例においても、3層の導体層34P、34P、24の厚みを合わせることで、第1実施例と同様な効果を得ている。電源層の厚みは上述の範囲を超えてよい。

なお、第4実施例において、 $1 < (\text{コア基板の電源層の導体層の厚みの総和} / \text{層間絶縁層の導体層の厚み}) \leq 40$ のものを適合例として、(コア基板の電源層の導体層の厚みの総和 / 層間絶縁層の導体層の厚み) ≤ 1 を比較例とした。(コア基板の電源層の導体層の厚みの総和 / 層間絶縁層の導体層の厚み) > 40 のも

のを参考例とした。

【0089】

(第4実施例-1)

図10を参照して上述した第4実施例と同様であるが以下のように設定した。

コア基板の導体層(電源層)の厚み: 15 μ m

中間導体層(電源層)の厚み: 20 μ m

コア基板の電源層の厚みの和: 50 μ m

層間絶縁層の導体層の厚み: 15 μ m

【0090】

(第4実施例-2)

第4実施例と同様であるが、以下のように製造した。

コア基板の導体層(電源層)の厚み: 20 μ m

中間導体層(電源層)の厚み: 20 μ m

コア基板の電源層の厚みの和: 60 μ m

層間絶縁層の導体層の厚み: 15 μ m

【0091】

(第4実施例-3)

第4実施例と同様であるが、以下のように製造した。

コア基板の導体層(電源層)の厚み: 25 μ m

中間導体層(電源層)の厚み: 25 μ m

コア基板の電源層の厚みの和: 75 μ m

層間絶縁層の導体層の厚み: 15 μ m

【0092】

(第4実施例-4)

第4実施例と同様であるが、以下のように製造した。

コア基板の導体層(電源層)の厚み: 50 μ m

中間導体層(電源層)の厚み: 100 μ m

コア基板の電源層の厚みの和: 200 μ m

層間絶縁層の導体層の厚み: 10 μ m

【0093】

(第4実施例-5)

第4実施例と同様であるが、以下のように製造した。

コア基板の導体層（電源層）の厚み：55μm

中間導体層（電源層）の厚み：250μm

コア基板の電源層の厚みの和：360μm

層間絶縁層の導体層の厚み：12μm

【0094】

(第4実施例-6)

第4実施例と同様であるが、以下のように製造した。

コア基板の導体層（電源層）の厚み：55μm

中間導体層（電源層）の厚み：250μm

コア基板の電源層の厚みの和：360μm

層間絶縁層の導体層の厚み：9μm

【0095】

[第5実施例] 多層コア基板

図12～図20を参照して本発明の第5実施例に係る多層プリント配線板について説明する。

先ず、第5実施例に係る多層プリント配線板10の構成について、図19、図20を参照して説明する。図19は、該多層プリント配線板10の断面図を、図20は、図19に示す多層プリント配線板10にICチップ90を取り付け、データボード94へ載置した状態を示している。図19に示すように、多層プリント配線板10では多層コア基板30を用いている。多層コア基板30の表面側に導体回路34、導体層34P、裏面に導体回路34、導体層34Eが形成されている。上側の導体層34Pは、電源用のプレーン層として形成され、下側の導体層34Eは、アース用のプレーン層として形成されている。更に、多層コア基板30の内部の表面側に、内層の導体回路16、導体層16E、裏面に導体回路16、導体層16Pが形成されている。上側の導体層16Eは、アース用のプレーン層として形成され、下側の導体層16Pは、電源用のプレーン層として形成さ

れている。電源用のプレーン層との接続は、スルーホールやバイアホールにより行われる。プレーン層は、片側だけの单層であっても、2層以上に配置したものでもよい。2層～4層で形成されることが望ましい。4層以上では電気的な特性の向上が確認されていないことからそれ以上多層にしてもその効果は4層と同等程度である。特に、2層で形成されることが、多層コア基板の剛性整合という点において基板の伸び率が抑えられるので反りが出にくいかからである。多層コア基板30の中央には、電気的に隔離された金属板12が収容されている。（該金属板12は、心材としての役目も果たしているが、スルーホールやバイアホールなどどの電気な接続がされていない。主として、基板の反りに対する剛性を向上させているのである。）該金属板12に、絶縁樹脂層14を介して表面側に、内層の導体回路16、導体層16E、裏面に導体回路16、導体層16Pが、更に、絶縁樹脂層18を介して表面側に導体回路34、導体層34Pが、裏面に導体回路34、導体層34Eが形成されている。多層コア基板30は、スルーホール36を介して表面側と裏面側との接続が取られている。

【0096】

多層コア基板30の表面の導体層34P、34Eの上には、バイアホール60及び導体回路58の形成された層間樹脂絶縁層50と、バイアホール160及び導体回路158の形成された層間樹脂絶縁層150とが配設されている。該バイアホール160及び導体回路158の上層にはソルダーレジスト層70が形成されており、該ソルダーレジスト層70の開口部71を介して、バイアホール160及び導体回路158にバンプ76U、76Dが形成されている。

【0097】

図20中に示すように、多層プリント配線板10の上面側のハンダバンプ76Uは、ICチップ90のランド92へ接続される。更に、チップコンデンサ98が実装される。一方、下側の外部端子76Dは、データボード94のランド96へ接続されている。この場合における外部端子とは、PGA、BGA、半田バンプ等を指している。

【0098】

ここで、コア基板30表層の導体層34P、34Eは、厚さ10～60μmに

形成され、内層の導体層16P、16Eは、厚さ10~250μmに形成され、層間樹脂絶縁層50上の導体回路58及び層間樹脂絶縁層150上の導体回路158は10~25μmに形成されている。

【0099】

第5実施例の多層プリント配線板では、コア基板30の表層の電源層（導体層）34P、導体層34、内層の電源層（導体層）16P、導体層16Eおよび金属板12を厚くすることにより、コア基板の強度が増す。それによりコア基板自身を薄くしたとしても、反りや発生した応力を基板自体で緩和することが可能となる。

【0100】

また、導体層34P、34E、導体層16P、16Eを厚くすることにより、導体自体の体積を増やすことができる。その体積を増やすことにより、導体での抵抗を低減することができる。

【0101】

更に、導体層34P、16Pを電源層として用いることで、ICチップ90への電源の供給能力が向上させることができる。そのため、該多層プリント基板上にICチップを実装したときに、ICチップ～基板～電源までのループインダクタンスを低減することができる。そのために、初期動作における電源不足が小さくなるため、電源不足が起き難くなり、そのためにより高周波領域のICチップを実装したとしても、初期起動における誤動作やエラーなどを引き起こすことがない。更に、導体層34E、16Eをアース層として用いることで、ICチップの信号、電力供給にノイズが重畳しなくなり、誤動作やエラーを防ぐことができる。コンデンサを実装することにより、コンデンサ内の蓄積されている電源を補助的に用いることができるので、電源不足を起しにくくなる。特に、ICチップの直下に配設させることにより、その効果（電源不足を起しにくくする）は顕著によくなる。その理由として、ICチップの直下であれば、多層プリント配線板での配線長を短くすることができるからである。

【0102】

第5実施例では、多層コア基板30は、内層に厚い導体層16P、16Eを、

表面に薄い導体層34P、34Eを有し、内層の導体層16P、16Eと表面の導体層34P、34Eとを電源層用の導体層、アース用の導体層として用いる。即ち、内層側に厚い導体層16P、16Eを配置しても、導体層を覆う樹脂層が形成されている。そのために、導体層が起因となって凹凸を相殺させることで多層コア基板30の表面を平坦にすることができる。このため、層間絶縁層50、150の導体層58、158にうねりを生じせしめないように、多層コア基板30の表面に薄い導体層34P、34Eを配置しても、内層の導体層16P、16Eと足した厚みでコアの導体層として十分な厚みを確保することができる。うねりが生じないために、層間絶縁層上の導体層のインピーダンスに不具合が起きない。導体層16P、34Pを電源層用の導体層として、導体層16E、34Eをアース用の導体層として用いることで、多層プリント配線板の電気特性を改善することが可能になる。

【0103】

更に、コア基板内で導体層34Pと導体層16Pとの間の信号線16（導体層16Eと同層）を配置することでマイクロストリップ構造を形成させることができる。同様に、導体層16Eと導体層34Eとの間の信号線16（導体層16Pと同層）を配置することでマイクロストリップ構造を形成させることができる。マイクロストリップ構造を形成させることにより、インダクタンスも低下し、インピーダンス整合を取ることができるのである。そのために、電気特性も安定化することができる。

【0104】

即ち、コア基板の内層の導体層16P、16Eの厚みを、層間絶縁層50、150上の導体層58、158よりも厚くする。これにより、多層コア基板30の表面に薄い導体層34E、34Pを配置しても、内層の厚い導体層16P、16Eと足すことで、コアの導体層として十分な厚みを確保できる。その比率は、 $1 < (\text{コアの内層の導体層} / \text{層間絶縁層の導体層}) \leq 40$ であることが望ましい。 $1.2 \leq (\text{コアの内層の導体層} / \text{層間絶縁層の導体層}) \leq 30$ であることがさらに望ましい。

【0105】

多層コア基板30は、電気的に隔離された金属板12の両面に、樹脂層14を介在させて内層の導体層16P、16Eが、更に、当該内層の導体層16P、16Eの外側に樹脂層18を介在させて表面の導体層34P、34Eが形成されて成る。中央部に電気的に隔離された金属板12を配置することで、十分な機械的強度を確保することができる。更に、金属板12の両面に樹脂層14を介在させて内層の導体層16P、16Eを、更に、当該内層の導体層16P、16Eの外側に樹脂層18を介在させて表面の導体層34P、34Eを形成することで、金属板12の両面で対称性を持たせ、ヒートサイクル等において、反り、うねりが発生することを防げる。

【0106】

図21は、第5実施例の改変例を示している。この改変例では、ICチップ90の直下にコンデンサ98を配置してある。このため、ICチップ90とコンデンサ98との距離が近く、ICチップ90へ供給する電源の電圧降下を防ぐことができる。

【0107】

引き続き、図19に示す多層プリント配線板10の製造方法について図12～図18を参照して説明する。

(1) 金属層の形成

図12(A)に示す厚さ50～400μmの間の内層金属層(金属板)12に、表裏を貫通する開口12aを設ける(図12(B))。金属層の材質としては、銅、ニッケル、亜鉛、アルミニウム、鉄などの金属が配合されているものを用いることができる。開口12aは、パンチング、エッティング、ドリリング、レーザなどによって穿設する。場合によっては、開口12aを形成した金属層12の全面に電解めっき、無電解めっき、置換めっき、スパッタによって、金属膜13を被覆してもよい(図12(C))。なお、金属板12は、単層でも、2層以上の複数層でもよい。また、金属膜13は、開口12aの角部において、曲面を形成するほうが望ましい。それにより、応力の集中するポイントがなくなり、その周辺でのクラックなどの不具合が引き起こしにくい。

【0108】

(2) 内層絶縁層の形成

金属層12の全体を覆い、開口12a内を充填するために、絶縁樹脂を用いる。形成方法としては、例えば、厚み30~200μm程度のBステージ状の樹脂フィルムを金属板12で挟んでから、熱圧着してから硬化させ絶縁樹脂層14を形成することができる(図12(D))。場合によっては、塗布、塗布とフィルム圧着の混合、もしくは開口部分だけを塗布して、その後、フィルムで形成してもよい。

材料としては、ポリイミド樹脂、エポキシ樹脂、フェノール樹脂、BT樹脂等の熱硬化性樹脂をガラスクロス等の心材に含浸させたプリプレグを用いることが望ましい。それ以外にも樹脂を用いてもよい。

【0109】

(3) 金属箔の貼り付け

樹脂層14で覆われた金属層12の両面に、内層金属層16aを形成させる(図12(E))。その一例として、厚み12~275μmの金属箔を積層させた。金属箔を形成させる以外の方法として、片面銅張積層板を積層させる。金属箔上に、めっきなどで形成される。

【0110】

(4) 内層金属層の回路形成

2層以上にしてもよい。アディティブ法により金属層を形成してもよい。

テンディング法、エッティング工程等を経て、内層金属層16aから内層導体層16、16P、16Eを形成させた(図12(F))。このときの内層導体層の厚みは、10~250μmで形成させた。しかしながら、上述の範囲を超えてよい。

【0111】

(5) 外層絶縁層の形成

内層導体層16、16P、16Eの全体を覆い、および外層金属その回路間の隙間を充填するために、絶縁樹脂を用いる。形成方法としては、例えば、厚み30~200μm程度のBステージ状の樹脂フィルムを金属板で挟んでから、熱圧着してから硬化させ、外層絶縁樹脂層18を形成する(図13(A))。場合に

よっては、塗布、塗布とフィルム圧着の混合、もしくは開口部分だけを塗布して、その後、フィルムで形成してもよい。加圧することで表面を平坦にすることができる。

【0112】

(6) 最外層の金属箔の貼り付け

外層絶縁樹脂層18で覆われた基板の両面に、最外層の金属層34βを形成させる(図13(B))。その一例として、厚み10~275μmの金属箔を積層させる。金属箔を形成させる以外の方法として、片面銅張積層板を積層させる。金属箔上に、めっきなどで2層以上にしてもよい。アディティブ法により金属層を形成してもよい。

【0113】

(7) スルーホール形成

基板の表裏を貫通する開口径50~400μmのスルーホール用通孔36αを形成する(図13(C))。形成方法としては、ドリル、レーザもしくはレーザとドリルの複合により形成させる(最外層の絶縁層の開口をレーザで行い、場合によっては、そのレーザでの開口をターゲットマークとして用いて、その後、ドリルで開口して貫通させる)。形状としては、直線状の側壁を有するものであることが望ましい。場合によっては、テーパ状であってもよい。

【0114】

スルーホールの導電性を確保するために、スルーホール用通孔36α内にめっき膜22を形成し、表面を粗化した後(図13(D))、充填樹脂23を充填することが望ましい(図13(E))。充填樹脂としては、電気的な絶縁されている樹脂材料、(例えば、樹脂成分、硬化剤、粒子等が含有されているもの)、金属粒子による電気的な接続を行っている導電性材料(例えば、金、銅などの金属粒子、樹脂材料、硬化剤などが含有されているもの。)のいずれかを用いることができる。

めっきとしては、電解めっき、無電解めっき、パネルめっき(無電解めっきと電解めっき)などを用いることができる。金属としては、銅、ニッケル、コバルト、リン、等が含有してもので形成されるのである。めっき金属の厚みとしては

、 $5 \sim 30 \mu\text{m}$ の間で形成されることが望ましい。

【0115】

スルーホール用通孔36 α 内に充填する充填樹脂23は、樹脂材料、硬化剤、粒子などからなるものを絶縁材料を用いることが望ましい。粒子としては、シリカ、アルミナなどの無機粒子、金、銀、銅などの金属粒子、樹脂粒子などの単独もしくは複合で配合させる。粒径が $0.1 \sim 5 \mu\text{m}$ のものを同一径もしくは、複合径のものを混ぜたものを用いることができる。樹脂材料としては、エポキシ樹脂（例えば、ビスフェノール型エポキシ樹脂、ノボラック型エポキシ樹脂など）、フェノール樹脂などの熱硬化性樹脂、感光性を有する紫外線硬化樹脂、熱可塑性樹脂などが单一もしくは混合したものを用いることができる。硬化剤としては、イミダゾール系硬化剤、アミン系硬化剤などを用いることができる。それ以外にも、硬化安定剤、反応安定剤、粒子等を含まれていてもよい。導電性材料を用いてもよい。この場合は、金属粒子、樹脂成分、硬化剤などからなるものが導電性材料である導電性ペーストとなる。場合によっては、半田、絶縁樹脂などの絶縁材料の表層に導電性を有する金属膜を形成したものを用いてもよい。めっきでスルーホール用通孔36 α 内を充填することも可能である。導電性ペーストは硬化収縮がなされるので、表層に凹部を形成してしまうことがあるからである。

【0116】

(8) 最外層の導体回路の形成

全体にめっき膜を被覆することで、スルーホール36の直上に蓋めっき25を形成してもよい（図14（A））。その後、テンティング法、エッティング工程等を経て、外層の導体回路34、34P、34Eを形成する（図14（B））。これにより、多層コア基板30を完成する。

このとき、図示されていないが多層コア基板の内層の導体層16等との電気接続を、バイアホールやブラインドスルーホール、ブラインドバイアホールにより行ってもよい。

【0117】

その後の製造方法は、図1（C）～図5を参照して上述した第1実施例と同様に、多層コア基板30に層間樹脂絶縁層50、150、導体回路58、158を

形成する。

【0118】

(9) 導体回路34を形成した多層コア基板30を黒化処理、および、還元処理を行い、導体回路34、導体層34P、34Eの全表面に粗化面34 β を形成する(図14(C))。

【0119】

(10) 多層コア基板30の導体回路非形成部に樹脂充填材40の層を形成する(図15(A))。

【0120】

(11) 上記処理を終えた基板の片面を、ベルトサンダー等の研磨により、導体層34P、34Eの外縁部に樹脂充填材40が残らないように研磨し、次いで、上記研磨による傷を取り除くため、導体層34P、34Eの全表面(スルーホールのランド表面を含む)にバフ等でさらに研磨を行った。このような一連の研磨を基板の他方の面についても同様に行った。次いで、100°Cで1時間、150°Cで1時間の加熱処理を行って樹脂充填材40を硬化した(図15(B))。

また、導体回路間の樹脂充填を行わなくてもよい。この場合は、層間絶縁層などの樹脂層で絶縁層の形成と導体回路間の充填を行う。

【0121】

(12) 上記多層コア基板30に、エッティング液を基板の両面にスプレーで吹きつけて、導体回路34、導体層34P、34Eの表面とスルーホール36のランド表面と内壁とをエッティング等により、導体回路の全表面に粗化面36 β を形成した(図15(C))。

【0122】

(13) 多層コア基板30の両面に、層間樹脂絶縁層用樹脂フィルム50 μ を基板上に載置し、仮圧着して裁断した後、さらに、真空ラミネーター装置を用いて貼り付けることにより層間樹脂絶縁層を形成した(図16(A))。

【0123】

(14) 次に、層間樹脂絶縁層上に、厚さ1.2mmの貫通孔が形成されたマスクを介して、波長10.4 μ mのCO₂ガスレーザにて、ビーム径4.0mm、

トップハットモード、パルス幅7.9μ秒、マスクの貫通孔の径1.0mm、1ショットの条件で層間樹脂絶縁層2に、直径80μmのバイアホール用開口50aを形成した（図16（B））。

【0124】

（15）多層コア基板30を、60g／lの過マンガン酸を含む80℃の溶液に10分間浸漬し、バイアホール用開口50aの内壁を含む層間樹脂絶縁層50の表面に粗化面50αを形成した（図15（C））。粗化面は0.1～5μmの間で形成した。

【0125】

（16）次に、上記処理を終えた多層コア基板30を、中和溶液（シブレイ社製）に浸漬してから水洗いした。さらに、粗面化処理（粗化深さ3μm）した該基板の表面に、パラジウム触媒を付与することにより、層間樹脂絶縁層の表面およびバイアホール用開口の内壁面に触媒核を付着させた。

【0126】

（17）次に、無電解銅めっき水溶液中に、触媒を付与した基板を浸漬して、粗面全体に厚さ0.6～3.0μmの無電解銅めっき膜を形成し、バイアホール用開口50aの内壁を含む層間樹脂絶縁層50の表面に無電解銅めっき膜52が形成された基板を得る（図15（D））。

【0127】

（18）無電解銅めっき膜52が形成された基板に市販の感光性ドライフィルムを張り付け、マスクを載置して、現像処理することにより、めっきレジスト54を設けた（図17（A））。めっきレジストの厚みは、10～30μmの間を用いた。

【0128】

（19）ついで、多層コア基板30に電解めっきを施し、めっきレジスト54非形成部に、厚さ5～20μmの電解銅めっき膜56を形成した（図17（B））。

【0129】

（20）さらに、めっきレジストを5%程度のKOHで剥離除去した後、そのめ

っきレジスト下の無電解めっき膜を硫酸と過酸化水素との混合液でエッティング処理して溶解除去し、独立の導体回路58及びバイアホール60とした（図17（C））。

【0130】

（21）ついで、上記（12）と同様の処理を行い、導体回路58及びバイアホール60の表面に粗化面58α、60αを形成した。上層の導体回路58の厚みは5～25μmで形成された。今回の厚みは15μmの厚みであった（図17（D））。

【0131】

（22）上記（14）～（21）の工程を繰り返すことにより、さらに上層の導体回路を形成し、多層配線板を得た（図18（A））。

【0132】

（23）次に、多層配線基板の両面に、ソルダーレジスト組成物70を12～30μmの厚さで塗布し、70℃で20分間、70℃で30分間の条件で乾燥処理を行った後（図18（B））、ソルダーレジスト開口部のパターンが描画された厚さ5mmのフォトマスクをソルダーレジスト層70に密着させて1000mJ/cm²の紫外線で露光し、DMT G溶液で現像処理し、200μmの直径の開口71を形成した（図18（C））。

そして、さらに、80℃で1時間、100℃で1時間、120℃で1時間、150℃で3時間の条件でそれぞれ加熱処理を行ってソルダーレジスト層を硬化させ、開口を有し、その厚さが10～25μmのソルダーレジストパターン層を形成した。

【0133】

（24）次に、ソルダーレジスト層70を形成した基板を、無電解ニッケルめっき液に浸漬して、開口部71に厚さ5μmのニッケルめっき層72を形成した。さらに、その基板を無電解金めっき液に浸漬して、ニッケルめっき層72上に、厚さ0.03μmの金めっき層74を形成した（図18（D））。ニッケルー金層以外にも、スズ、貴金属層（金、銀、パラジウム、白金など）の単層を形成してもよい。

【0134】

(25) この後、基板のICチップを載置する面のソルダーレジスト層70の開口71に、スズ-鉛を含有する半田ペーストを印刷し、さらに他方の面のソルダーレジスト層の開口にスズ-アンチモンを含有する半田ペーストを印刷した後、200°Cでリフローすることにより外部端子を形成し、はんだバンプを有する多層プリント配線板を製造した(図19)。

【0135】

半田バンプ76Uを介してICチップ90を取り付け、チップコンデンサ98を実装する。そして、外部端子76Dを介してデータボード94へ取り付ける(図20)。

また、第5実施例において、 $1 < (\text{コア基板の電源層の厚み} / \text{層間絶縁層の導体層の厚み}) \leq 40$ のものを適合例として、 $(\text{コア基板の電源層の厚み} / \text{層間絶縁層の導体層の厚み}) \leq 1$ を比較例とした。 $(\text{コア基板の電源層の厚み} / \text{層間絶縁層の導体層の厚み}) > 40$ のものを参考例とした。

【0136】

(第5実施例-1)

図19を参照して上述した第5実施例と同様であるが以下のように設定した。

コア基板の内層の導体層の厚み: $50 \mu\text{m}$ 表層の導体層の厚み: $20 \mu\text{m}$

コア基板の導体回路の厚みの和: $100 \mu\text{m}$

層間絶縁層の導体層の厚み: $15 \mu\text{m}$

内層の導体層と表層の導体層で、電源層の役目を果たした。しかしながら、表層の導体層の面積は、ランド程度のものであったので、内層の導体層と比較すると面積が小さかったので、電源を降下させる効果は相殺されてしまった。そのため、コア基板の導体層の厚みの和は、内層の2層の導体層を足したものである。

【0137】

(第5実施例-2)

内層の導体層と表層の導体層で、電源層の役目を果たした。表層、内層の各一層ずつでのスルーホールにより、電気的な接続がなされた。

コア基板の内層の導体層の厚み: $60 \mu\text{m}$ 外層の導体層の厚み: $20 \mu\text{m}$

コア基板の導体回路の厚みの和: $80 \mu m$

層間絶縁層の導体層の厚み: $15 \mu m$

内層の導体層と表層の導体層で、各1層ずつ電源層の役目を果たした。表層の導体層の面積は、内層の導体層の面積同じだった。電源を降下させる効果を有する。そのために、コア基板の導体層の厚みの和は、内層の導体層と表層の導体層を足したものである。

【0138】

(第5実施例-3)

内層の導体層と表層の導体層で、電源層の役目を果たした。表層、内層の各1層ずつでのスルーホールにより、電気的な接続がなされた。

コア基板の内層の導体層の厚み: $75 \mu m$ 外層の導体層の厚み: $20 \mu m$

コア基板の導体回路の厚みの和: $150 \mu m$

層間絶縁層の導体層の厚み: $15 \mu m$

内層の導体層と表層の導体層で、電源層の役目を果たした。しかしながら、表層の導体層の面積は、ランド程度のものだったので、内層の導体層と比較すると面積が小さかったので、電源を降下させる効果は相殺されてしまった。そのために、コア基板の導体層の厚みの和は、内層1層の導体層の厚みである。

【0139】

(第5実施例-4)

第5実施例-3と同様であるが、以下のように製造した。

コア基板の内層の導体層(電源層)の厚み: $200 \mu m$

表層の導体層(電源層)の厚み: $20 \mu m$

コア基板の導体回路の厚みの和: $200 \mu m$

層間絶縁層の導体層の厚み: $10 \mu m$

コア基板の導体回路の厚みの和は、内層の層の導体層を足したものである。

【0140】

(第5実施例-5)

第5実施例-3と同様であるが、以下のように製造した。

コア基板の内層の導体層(電源層)の厚み: $240 \mu m$

表層の導体層（電源層）の厚み：20 μm

コア基板の導体回路の厚みの和：240 μm

層間絶縁層の導体層の厚み：8 μm

コア基板の導体回路の厚みの和は、内層の層の導体層を足したものである。

【0141】

（第5実施例-6）

第5実施例-2と同様であるが、以下のように製造した。

コア基板の内層の導体層（電源層）の厚み：250 μm

表層の導体層（電源層）の厚み：25 μm

コア基板の導体回路の厚みの和：300 μm

層間絶縁層の導体層の厚み：7.5 μm

【0142】

[第6実施例] コンデンサ内蔵コア基板

図22及び図23を参照して第6実施例に係る多層プリント配線板について説明する。

第6実施例の多層プリント配線板では、コア基板30にチップコンデンサ20が内蔵されている。

【0143】

図22は、第6実施例に係る多層プリント配線板10の断面図を、図23は、図22に示す多層プリント配線板10にICチップ90を取り付けた状態を示している。図22に示すように、多層プリント配線板10では、コア基板30が樹脂基板30A及び樹脂層30Bからなる。樹脂基板30Aにはコンデンサ20を収容するための開口31aが設けられている。コンデンサ20の電極は、樹脂層30Bに設けられたバイアホール33により接続が取られている。コア基板30の上面には、導体回路34及び電源層を形成する導体層34Pが形成され、また、コア基板30の両面には、バイアホール60及び導体回路58が配置された層間樹脂絶縁層50が形成されている。コア基板30には、スルーホール36が形成されている。層間樹脂絶縁層50の上層にはソルダーレジスト層70が形成されており、該ソルダーレジスト層70の開口部71を介して、バイアホール16

0及び導体回路158にバンプ76U、76Dが形成されている。

【0144】

図23中に示すように、多層プリント配線板10の上面側のハンダバンプ76Uは、ICチップ90のランド92へ接続される。更に、チップコンデンサ98が実装される。一方、下側のハンダバンプへの接続用の導電性接続ピン99が取り付けられている。

【0145】

ここで、導体層34Eは、 $30\mu\text{m}$ に形成されている。この第6実施例においては、コア基板30内にコンデンサ20を内蔵するため、第1実施例を上回る効果が得られる。

【0146】

(第6実施例-1)

図22を参照して上述した第6実施例と同様であるが以下のように設定した。

コア基板の導体層の厚み： $30\mu\text{m}$ コア基板の電源層の厚み： $30\mu\text{m}$

層間絶縁層の導体層の厚み： $15\mu\text{m}$

【0147】

(第6実施例-2)

第6実施例と同様であるが以下のように設定した。

コア基板の導体層の厚み： $55\mu\text{m}$ コア基板の電源層の厚み： $55\mu\text{m}$

層間絶縁層の導体層の厚み： $15\mu\text{m}$

【0148】

(第6実施例-3)

コア基板の導体層の厚み： $75\mu\text{m}$ コア基板の電源層の厚み： $75\mu\text{m}$

層間絶縁層の導体層の厚み： $15\mu\text{m}$

【0149】

(第6実施例-4)

第6実施例-1と同様であるが以下のように設定した。

コア基板の導体層(電源層)の厚み： $180\mu\text{m}$

層間絶縁層の導体層の厚み： $6.0\mu\text{m}$

【0150】

(比較例)

第1実施例～第5実施例において、(コア基板の電源層の厚み／層間絶縁層の導体層の厚み) ≤ 1 を比較例とした。その実例として、コア基板の電源層の厚み：15 μ m、層間絶縁層の導体層の厚み：15 μ mに設定した。

【0151】

(参考例)

第1実施例～第5実施例において、(コア基板の電源層の厚み／層間絶縁層の導体層の厚み) ≤ 40 を参考例とした。その実例として、コア基板の電源層の厚み：415 μ m、層間絶縁層の導体層の厚み：10 μ mに設定した。

参考例とは、適合例と同様な効果を得ることができるが、それ以外で不具合が発生する恐れがあり、適合例よりも若干適合されないというものである。

【0152】

それぞれの実施例と比較例と参考例の基板に周波数3.1GHzのICチップを実装して、同じ量の電源を供給して、起動させたときの電圧の降下した量を測定した。このときの電圧降下量での平均値を示した。電源電圧1.0Vのときの変動した電圧降下量の平均値である。

また、それぞれの実施例と比較例と参考例のバイアス高温高湿条件(130、温度85wt%、2V印加)下における信頼性試験を行った。試験時間は、100hr、300hr、500hr、1000hrで行い、ICの誤動作の有無、コアの導体層のピア接続オープンの有無についてそれぞれ実施例および比較例について検証をした。この結果を図27、図28中の図表に表す。

さらに、導体層の厚みについても検証を行った。横軸に(コアの電源層厚み／層間絶縁層厚みの比)を設定し、縦軸に最大電圧降下量(V)を設定してシュミレートした結果を図29に示した。

【0153】

すべての実施例、比較例、参考例の測定結果を基に行っている。それ以外については、シュミレートで作成した。

【0154】

図27、図28より、適合例で作成したものはICチップの誤動作やオープンなどなりにくい。つまり、電気接続性と信頼性が確保される。

比較例では、ICチップの誤動作を引き起こしてしまうため、電気接続性に問題があるし、導体の厚みが薄いため、信頼性試験下で発生した応力を緩衝できず、ピア接続部での剥がれが生じてしまった。そのために、信頼性が低下してしまった。しかしながら、コア基板の電源層の厚み／層間絶縁層の導体層の厚みの比1.2を越えると、その効果が現れてくる。

コア基板の電源層の厚み／層間絶縁層の導体層の厚み比40を越えると（参考例）、上層の導体回路における不具合（例えば、上層の導体回路への応力の発生やうねりによる密着性の低下を引き起こしてしまう等）のため、信頼性が低下してしまった。通常は問題ないが、材料等の要因によっては、その傾向が現れてしまうことがある。

試験の結果からも電気特性を満たすのは、 $1 < (\text{コア基板の電源層の厚み} / \text{層間絶縁層の導体層の厚み})$ である。また、電気特性と信頼性の要因を満たすのは、 $1 < (\text{コア基板の導体層の厚み} / \text{層間絶縁層の厚み}) \leq 40$ ということになる。

【0155】

図27、図28の結果により、この場合、電源電圧1.0Vのとき、変動許容範囲±10%であれば、電圧の挙動が安定していることになり、ICチップの誤動作などを引き起こさない。つまり、この場合、電圧降下量が0.1V以内であれば、電圧降下によるICチップへの誤動作等を引き起こさないことになる。0.09V以下であれば、安定性が増すことになる。それ故に、（コア基板の電源層の厚み／層間絶縁層の厚み）の比が1.2を越えるの良いのである。さらに、 $1.2 \leq (\text{コア基板の電源層の厚み} / \text{層間絶縁層の厚み}) \leq 40$ の範囲であれば、数値が減少傾向にあるため、その効果が得やすいということとなる。また、 $40 < (\text{コア基板の電源層の厚み} / \text{層間絶縁層の厚み})$ という範囲では、電圧降下量が上昇していることから、コア部分でのピア剥離などが原因で電圧供給に問題が起こっていることとなる。材料等の選定でピア剥離を抑えれば、上記問題は解決される。通常使用する範囲では問題にならない。

更に、 $5.0 < (\text{コア基板の電源層の厚み} / \text{層間絶縁層の厚み}) \leq 40$ 未満であれば、電圧降下量がほぼ同じであることから、安定しているということとなる。つまり、この範囲が、最も望ましい比率範囲であるということが言える。

【0156】

【発明の効果】

本願発明により、ICチップ～基板～電源の導体における抵抗を低減させることができ、伝達損失が低減される。そのために、伝達される信号や電源が所望の能力が発揮される。そのために、ICチップの機能、動作などが正常に作動するために、誤作動やエラーを発生することができない。ICチップ～基板～アースの導体における抵抗を低減させることができ、信号線、電源線でのノイズの重畠を軽減し、誤作動やエラーを防ぐことができる。

また、本願発明により、ICチップの初期起動時に発生する電源不足（電圧降下）の度合いを小さくなることもわかり、高周波領域のICチップ、特に3GHz以上のICチップを実装したとしても、問題なく起動することができる事が分かった。そのため、電気的な特性や電気接続性をも向上させることができるのである。

さらに、プリント基板の回路内での抵抗を従来のプリント基板に比べても、小さくすることができる。そのために、バイアスを付加して、高温高湿下で行う信頼性試験（高温高湿バイアス試験）を行っても、破壊する時間も長くなるので、信頼性も向上することができる。

【図面の簡単な説明】

【図1】

本発明の第1実施例の多層プリント配線板を製造方法を示す工程図である。

【図2】

第1実施例の多層プリント配線板を製造方法を示す工程図である。

【図3】

第1実施例の多層プリント配線板を製造方法を示す工程図である。

【図4】

第1実施例の多層プリント配線板を製造方法を示す工程図である。

【図5】

第1実施例の多層プリント配線板を製造方法を示す工程図である。

【図6】

第1実施例に係る多層プリント配線板の断面図である。

【図7】

第1実施例に係る多層プリント配線板にICチップを載置した状態を示す断面図である。

【図8】

第3実施例に係る多層プリント配線板の断面図である。

【図9】

第3実施例に係る多層プリント配線板にICチップを載置した状態を示す断面図である。

【図10】

第4実施例に係る多層プリント配線板の断面図である。

【図11】

第4実施例に係る多層プリント配線板にICチップを載置した状態を示す断面図である。

【図12】

本発明の第5実施例の多層プリント配線板を製造方法を示す工程図である。

【図13】

第5実施例の多層プリント配線板を製造方法を示す工程図である。

【図14】

第5実施例の多層プリント配線板を製造方法を示す工程図である。

【図15】

第5実施例の多層プリント配線板を製造方法を示す工程図である。

【図16】

第5実施例の多層プリント配線板を製造方法を示す工程図である。

【図17】

第5実施例の多層プリント配線板を製造方法を示す工程図である。

【図18】

第5実施例の多層プリント配線板を製造方法を示す工程図である。

【図19】

第5実施例に係る多層プリント配線板の断面図である。

【図20】

第5実施例に係る多層プリント配線板にICチップを載置した状態を示す断面図である。

【図21】

第5実施例の変形例に係る多層プリント配線板にICチップを載置した状態を示す断面図である。

【図22】

第6実施例に係る多層プリント配線板の断面図である。

【図23】

第6実施例に係る多層プリント配線板にICチップを載置した状態を示す断面図である。

【図24】

ICチップの動作中における電圧変化を示したグラフである。

【図25】

ICチップの動作中における電圧変化を示したグラフである。

【図26】

ICチップの動作中における電圧変化を示したグラフである。

【図27】

実施例と比較例との試験結果を示す図表である。

【図28】

実施例と比較例との試験結果を示す図表である。

【図29】

(コアの電源層厚み／層間絶縁層厚みの比)に対する最大電圧降下量(V)をシミュレートした結果を示したグラフである。

【符号の説明】

12 金属層（金属板）
14 樹脂層
16 導体回路
16P 導体層
16E 導体層
18 樹脂層
30 基板
32 銅箔
34 導体回路
34P 導体層
34E 導体層
36 スルーホール
40 樹脂充填層
50 層間樹脂絶縁層
58 導体回路
60 バイアホール
70 ソルダーレジスト層
71 開口
76U、76D 半田バンプ
90 ICチップ
94 ドータボード
98 チップコンデンサ

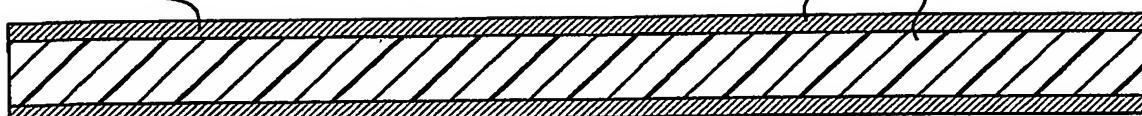
【書類名】図面

【図1】

30A

(A)

32 30



34

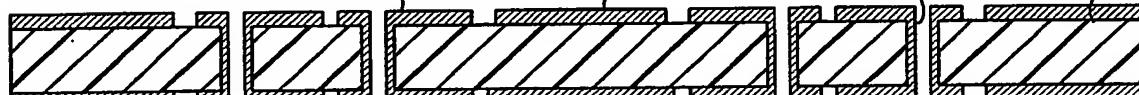
(B)

34P

36

30

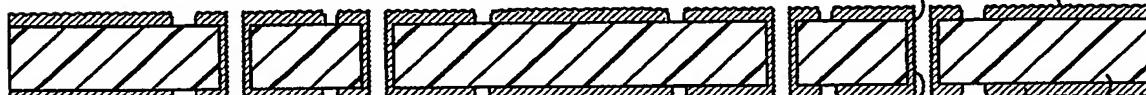
34E



(C)

36 α 34 α

36 34E 30

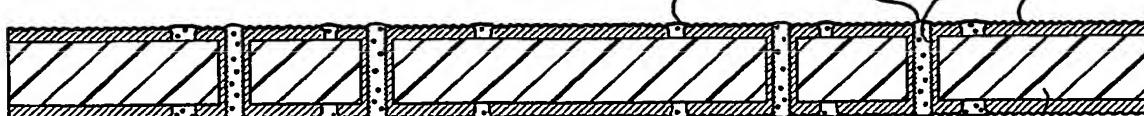


(D)

40

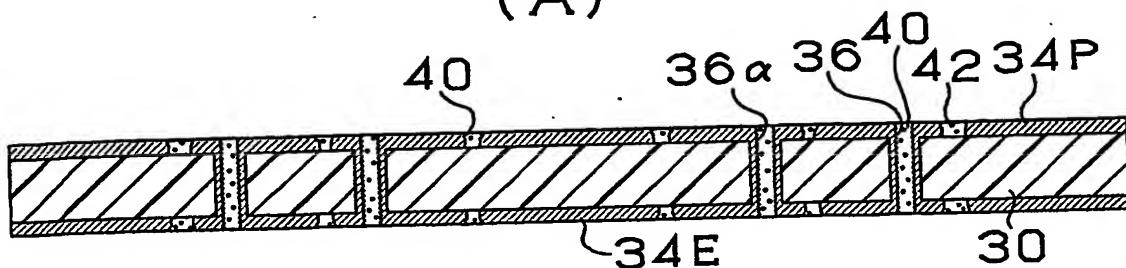
40 \supset 36 34P

30

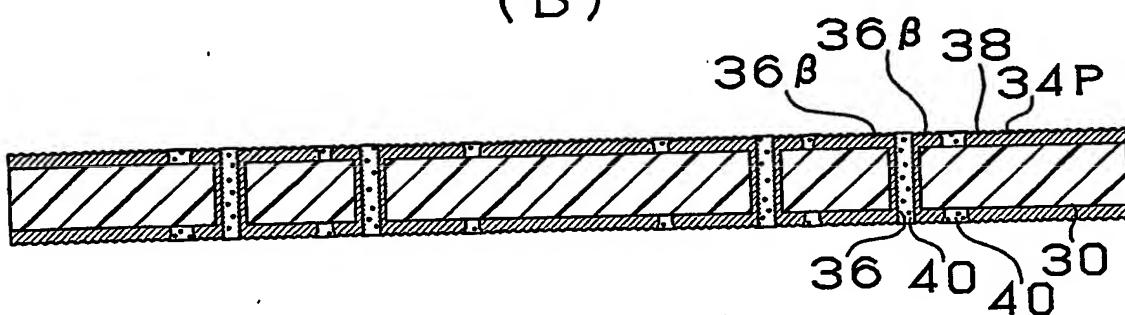


【図2】

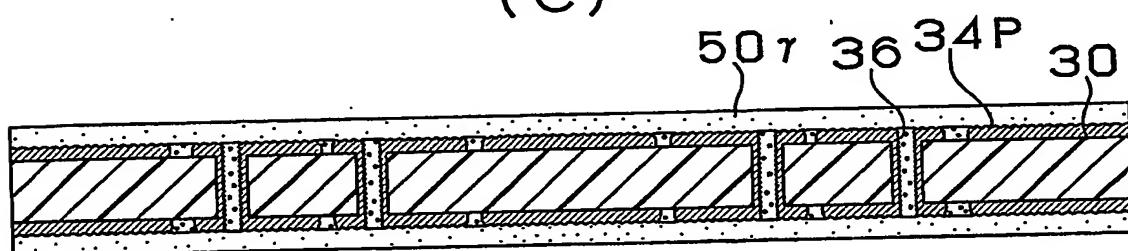
(A)



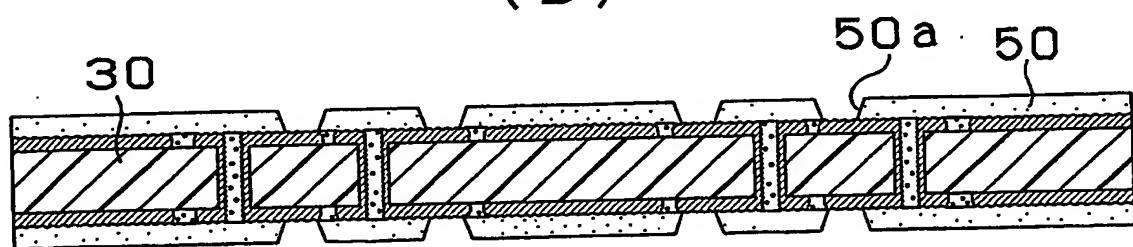
(B)



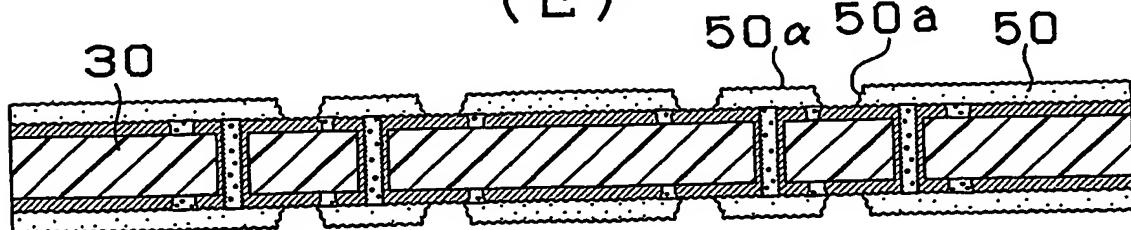
(C)



(D)

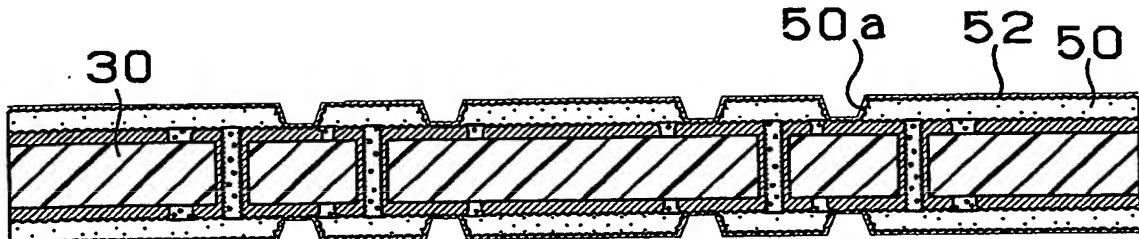


(E)

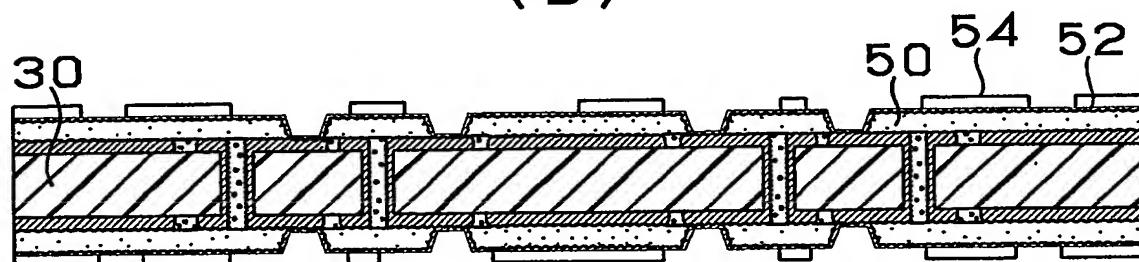


【図3】

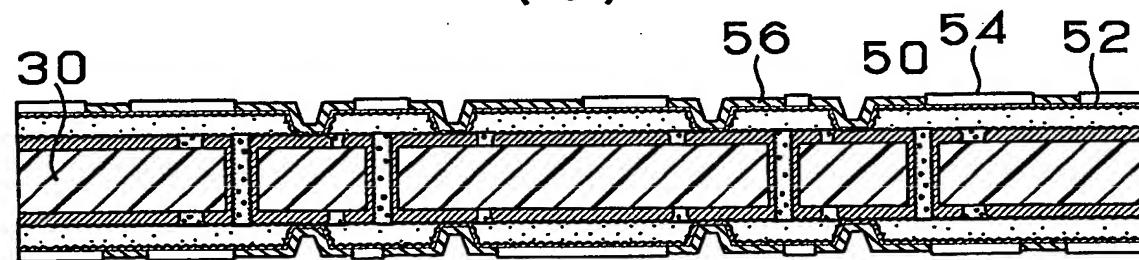
(A)



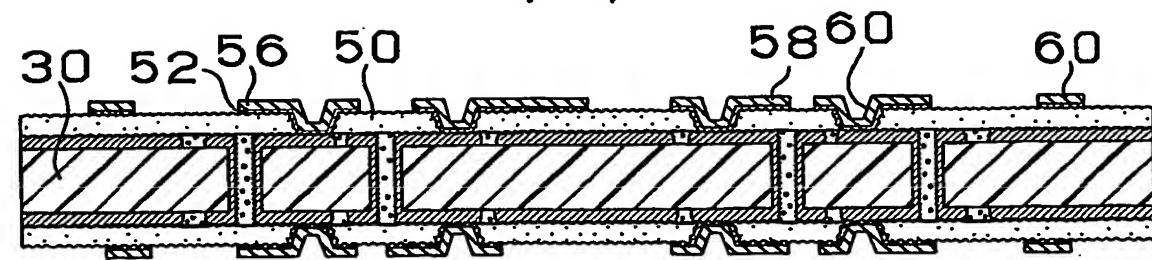
(B)



(C)

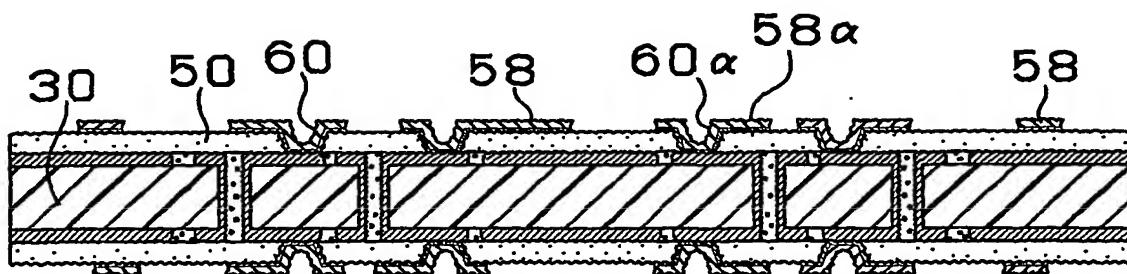


(D)

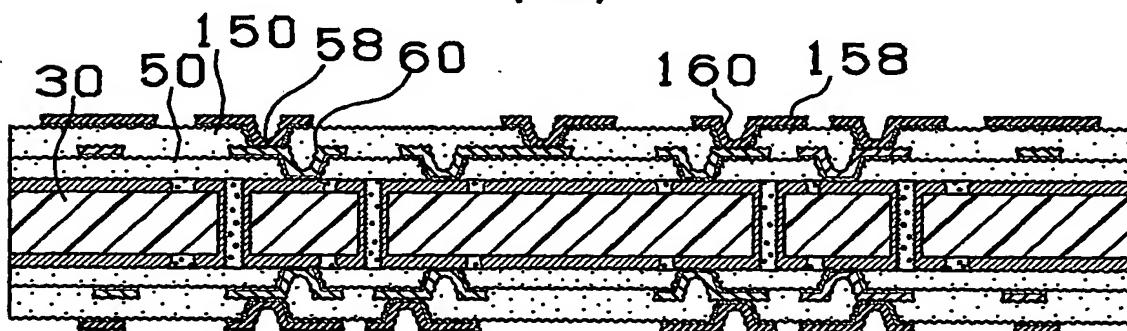


【図4】

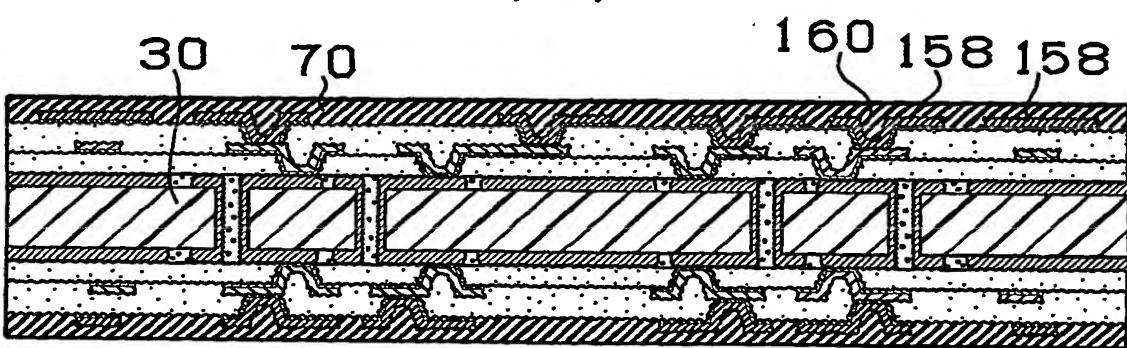
(A)



(B)

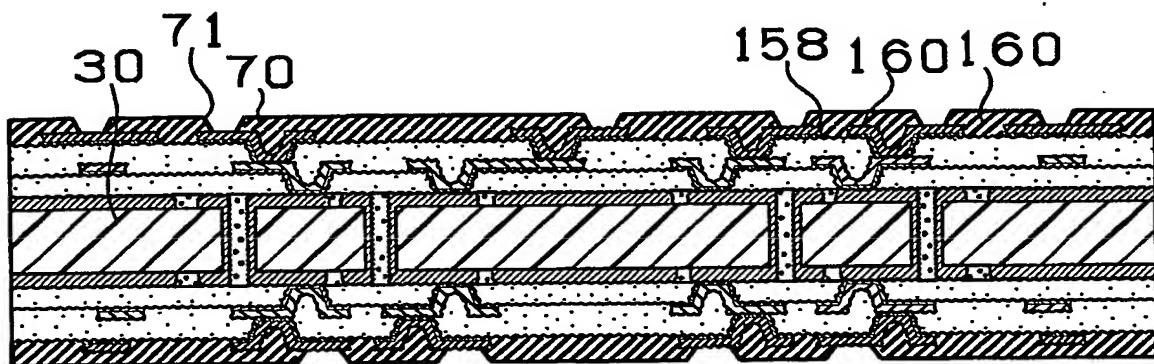


(C)

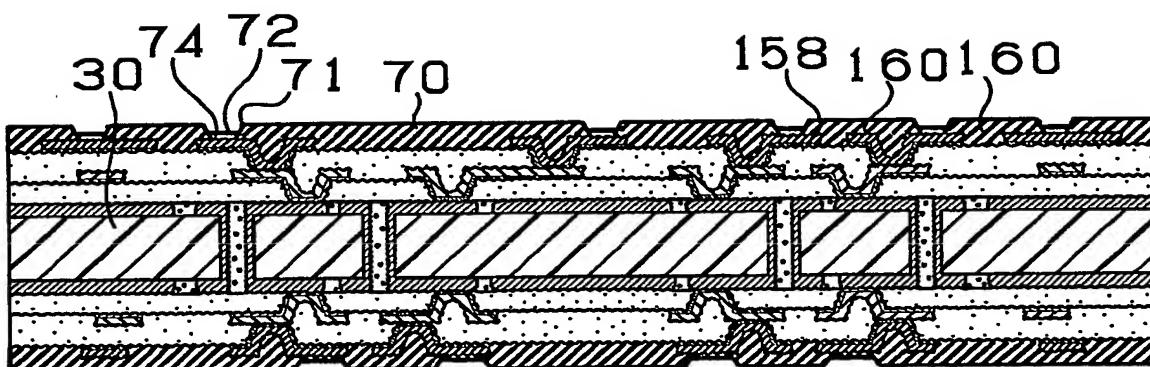


【図5】

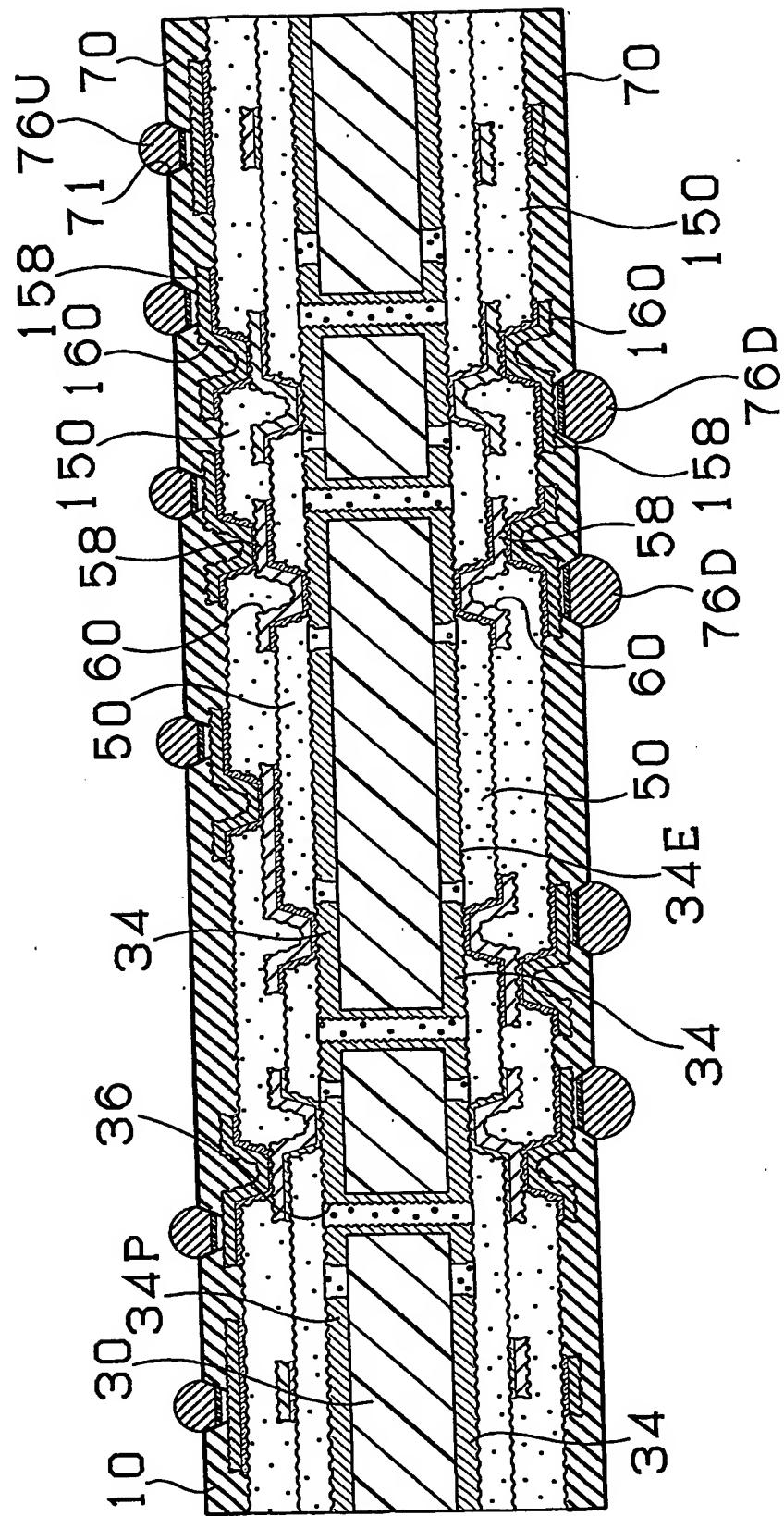
(A)



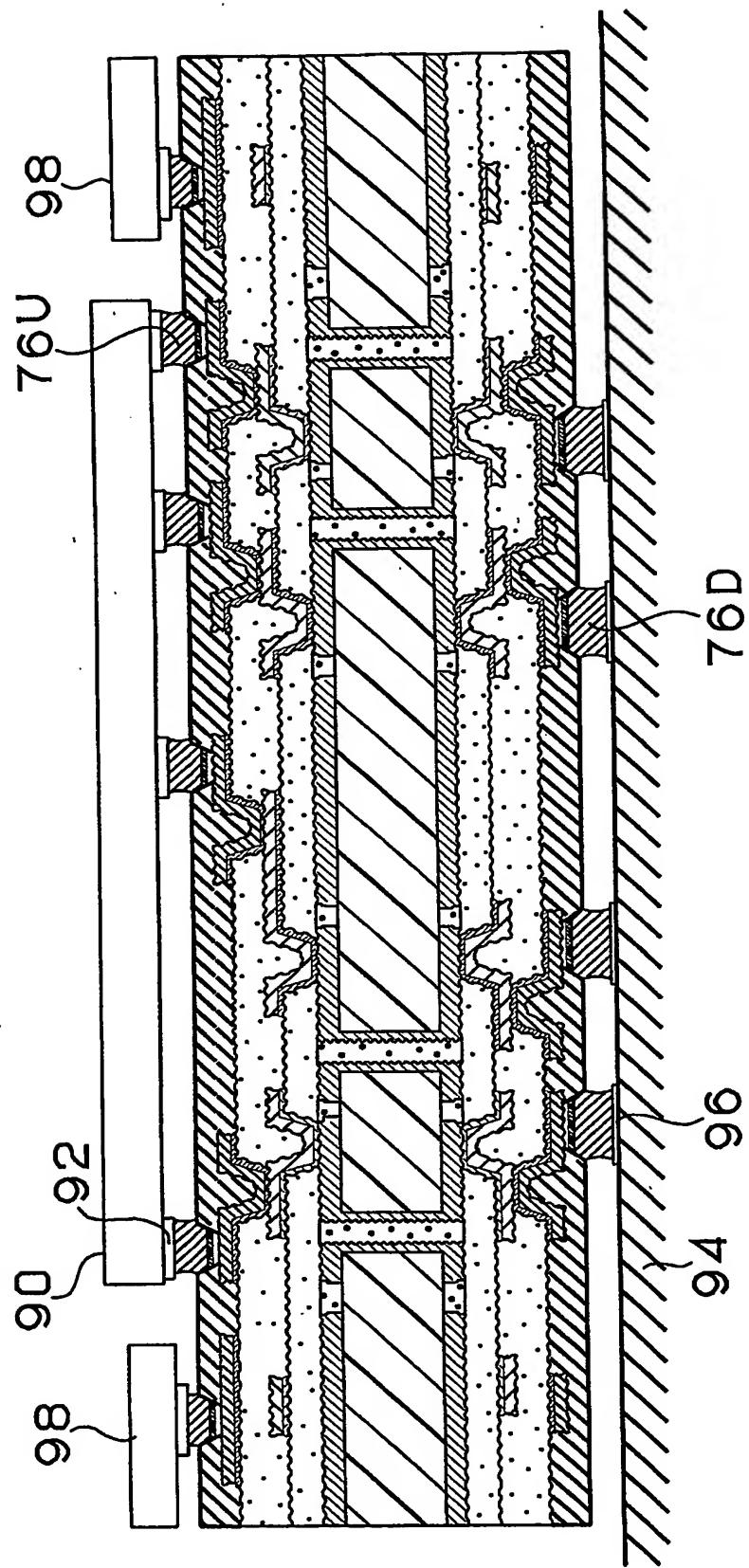
(B)



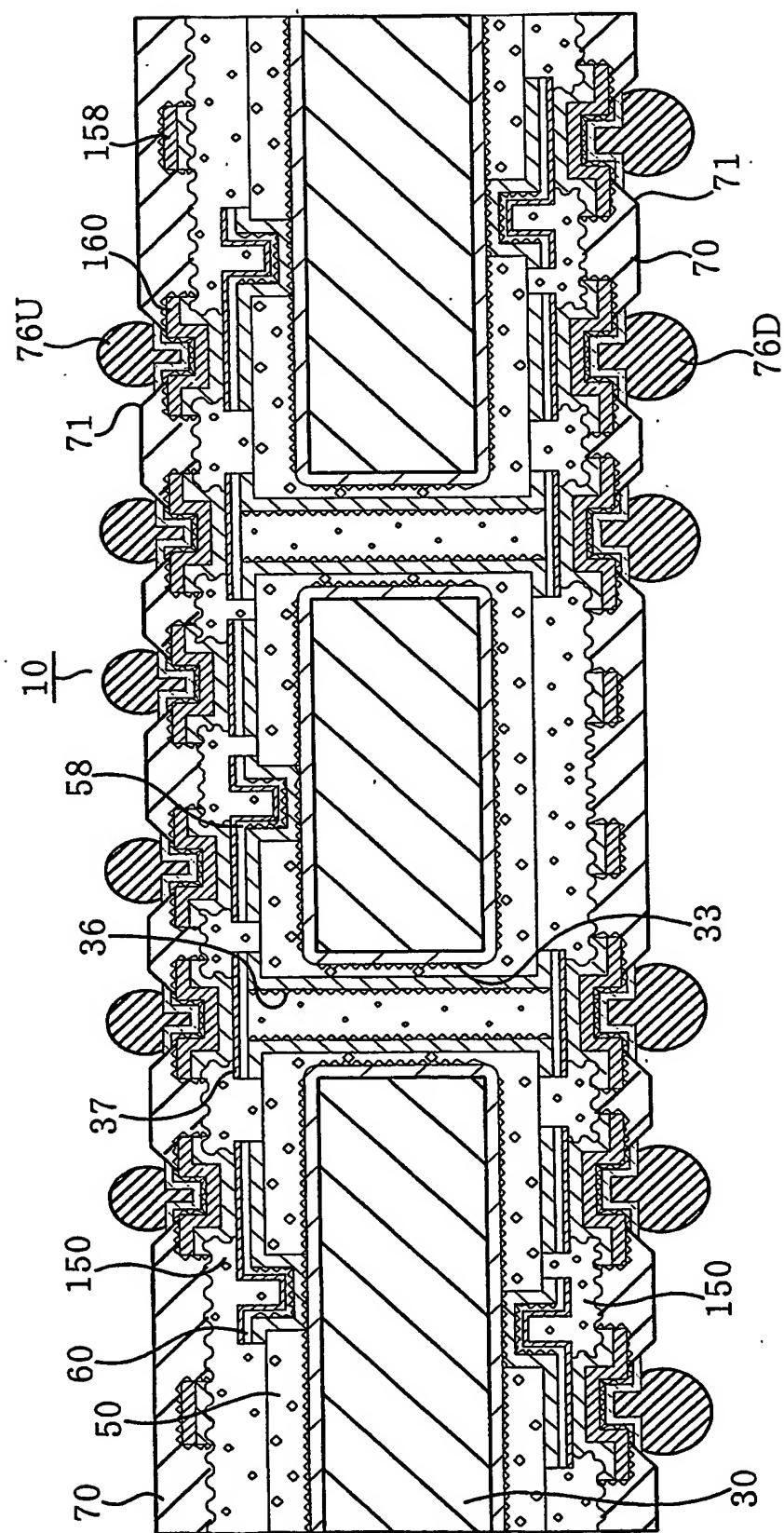
【図6】



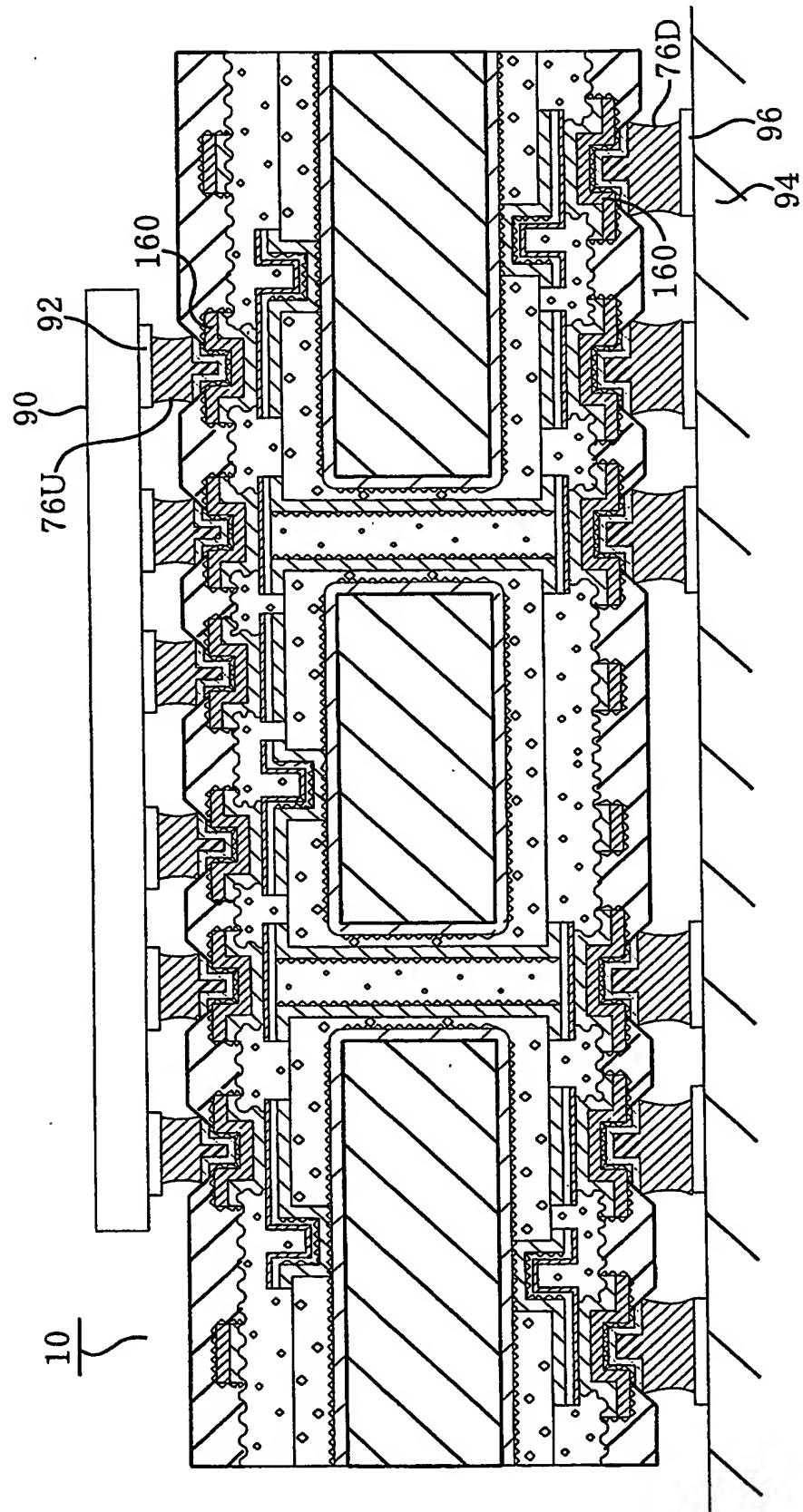
【図7】



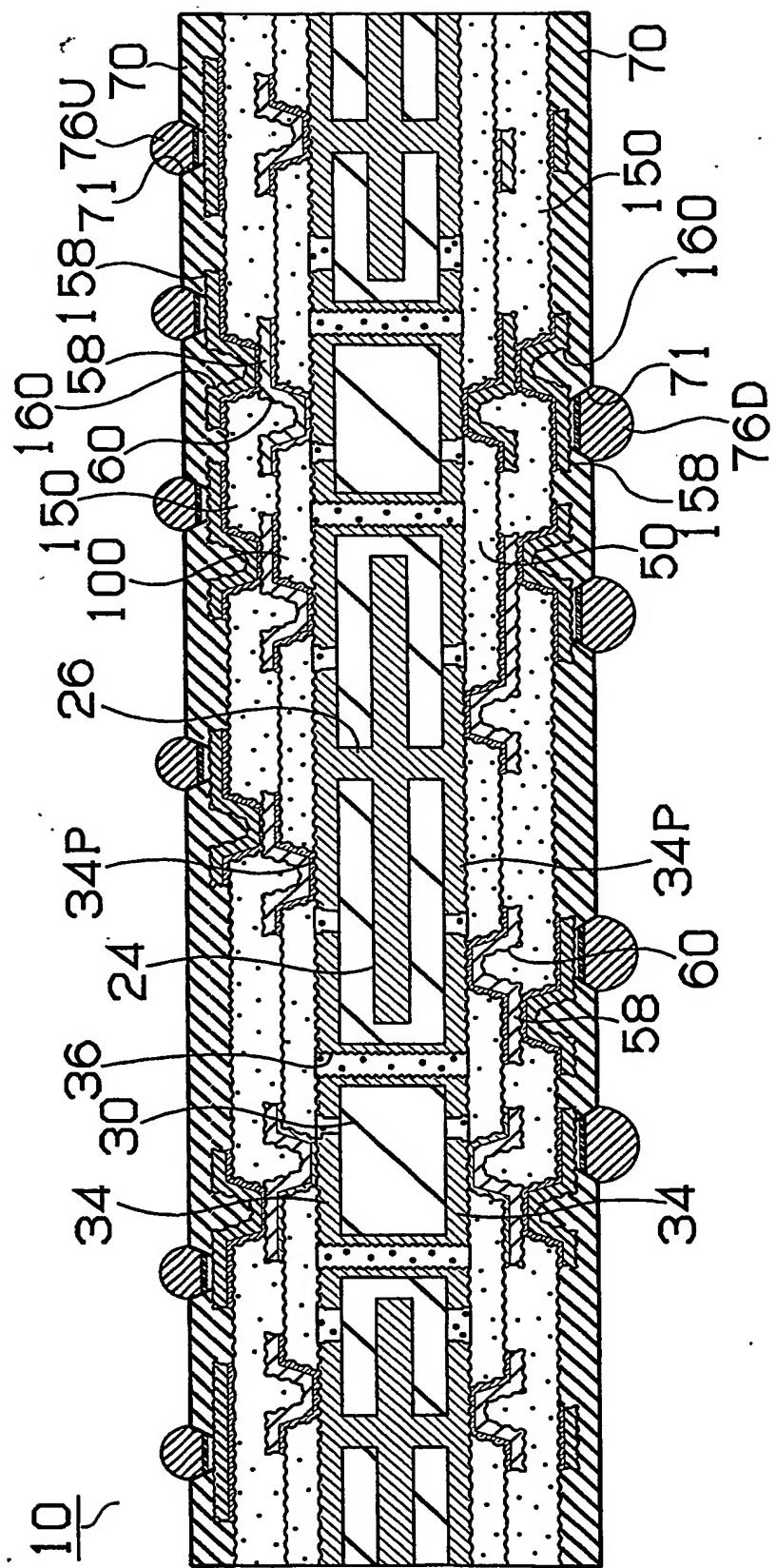
【図8】



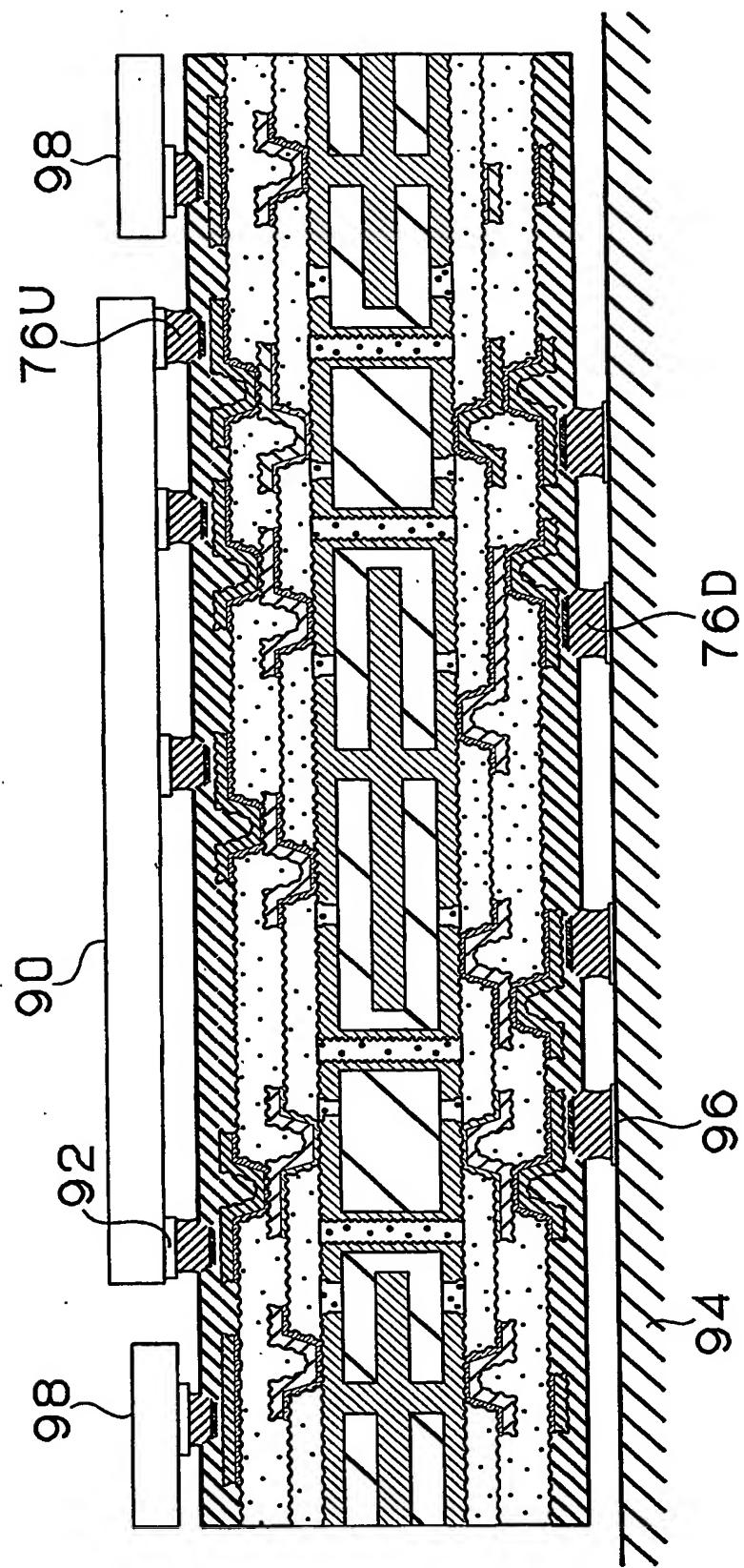
【図9】



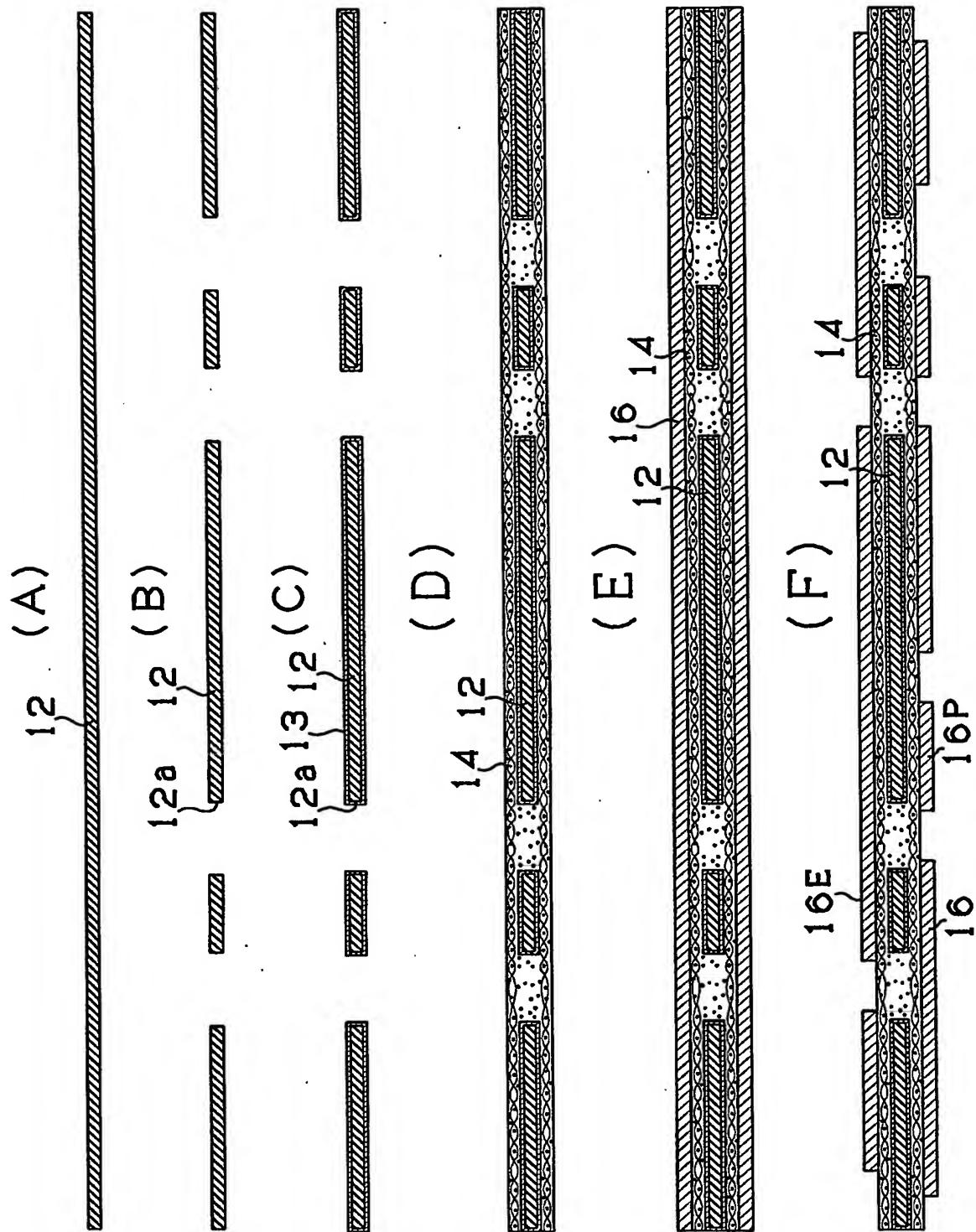
【図10】



【図11】



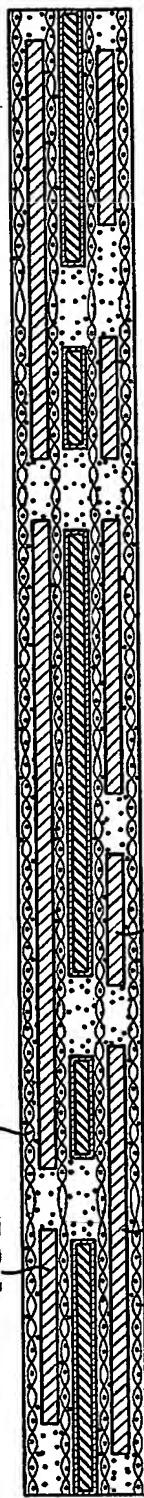
【図12】



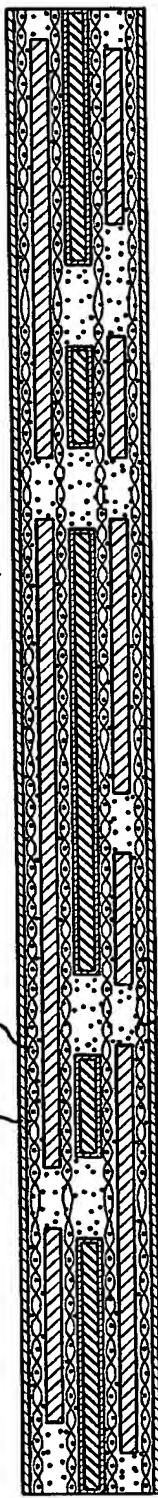
【図13】

(A)

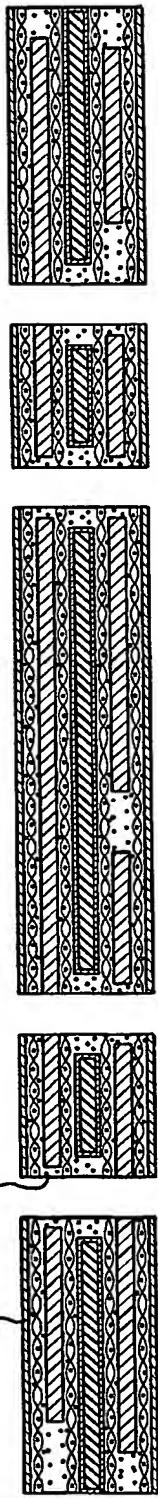
16E 18



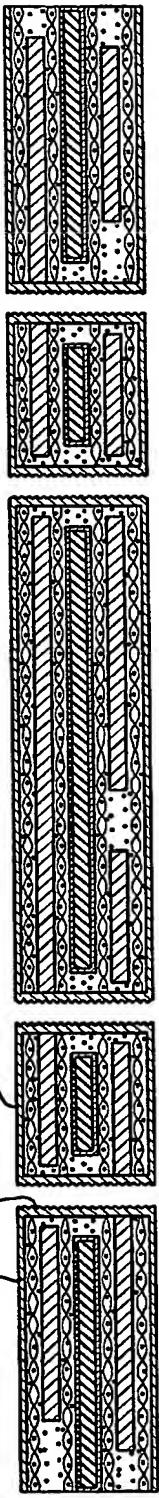
18 16 34a 18 16P (B)



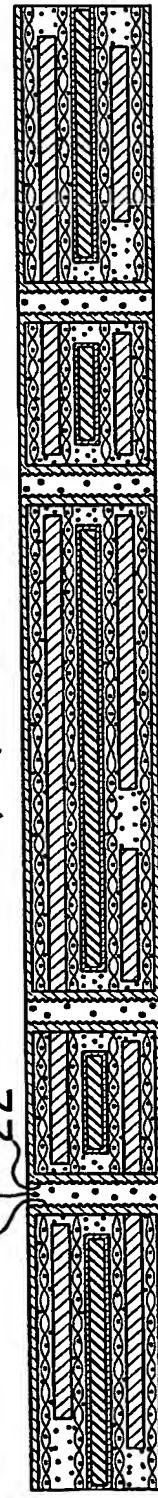
34a 36a 34a 18 (C)



34a 34a 36 22 (D)



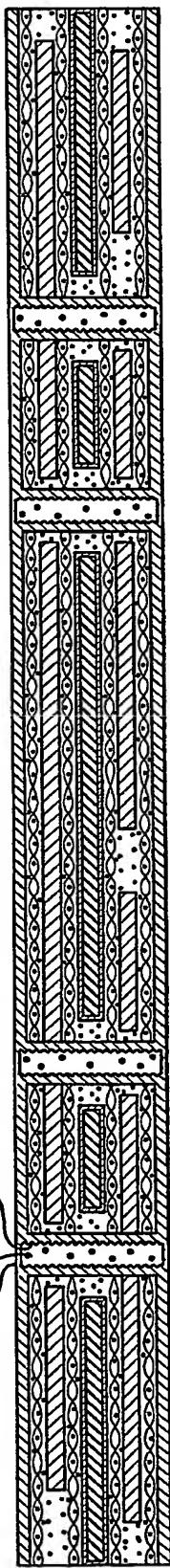
36 23 22 (E)



【図14】

(A)

25 23 36

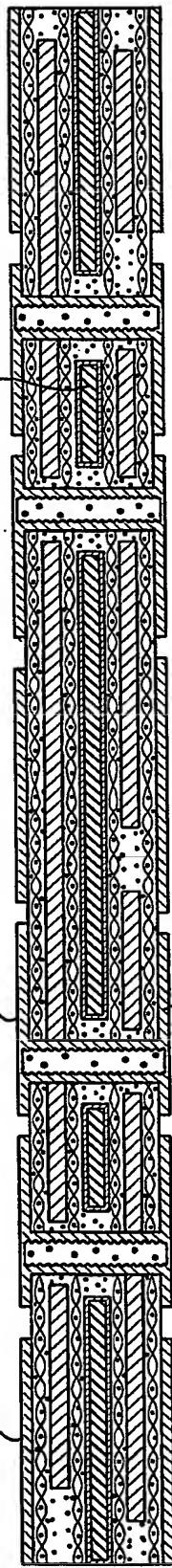


(B)

30

34P

34P



(C)

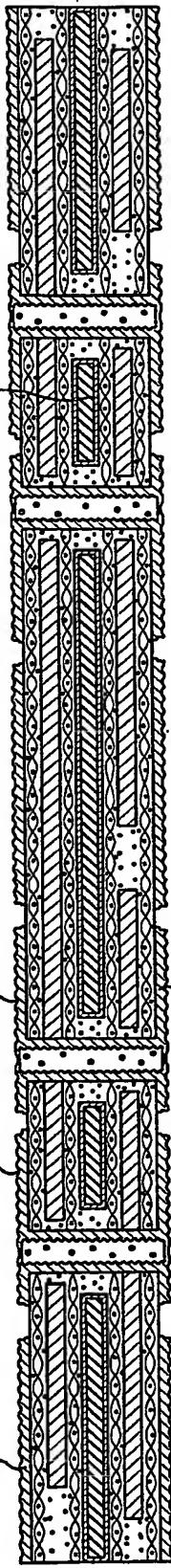
34

34E

34E

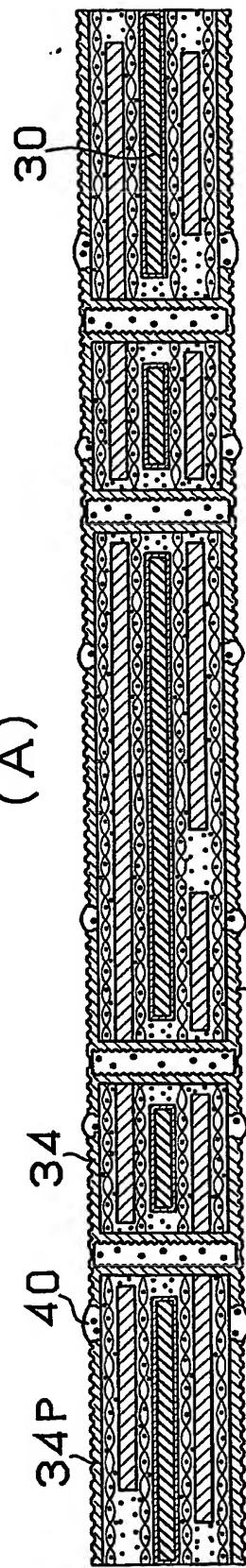
30

34E

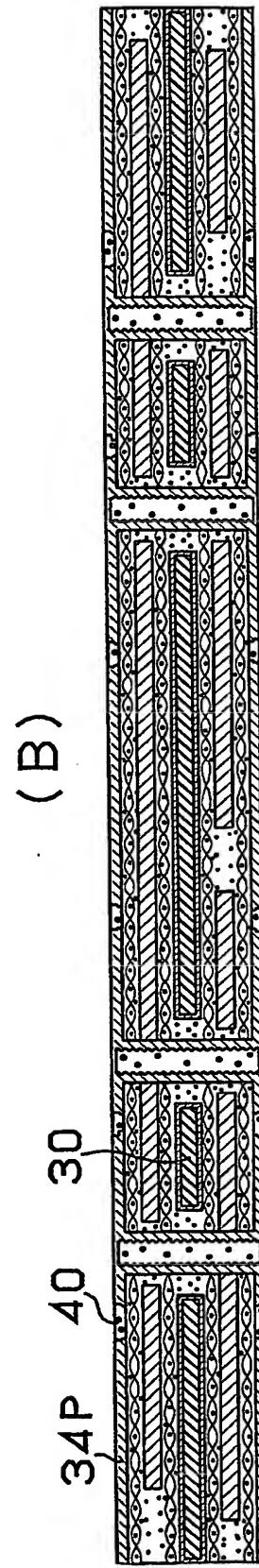


【図15】

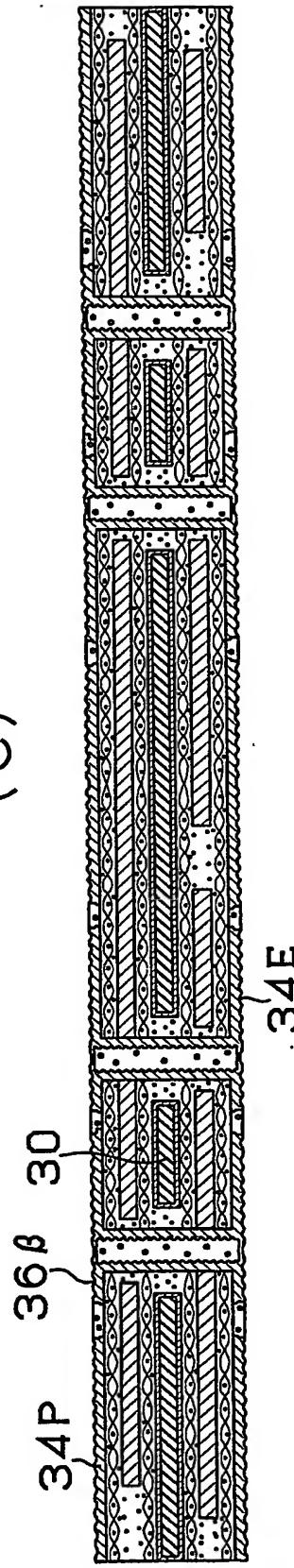
(A)



(B)

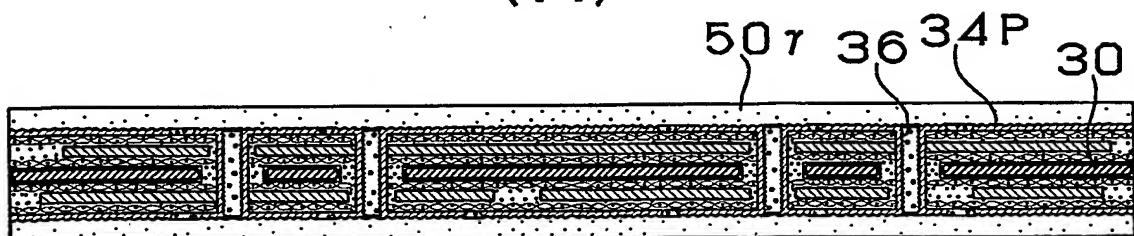


(C)

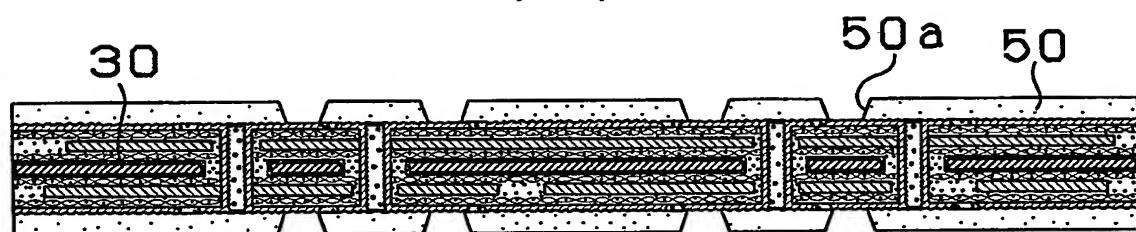


【図16】

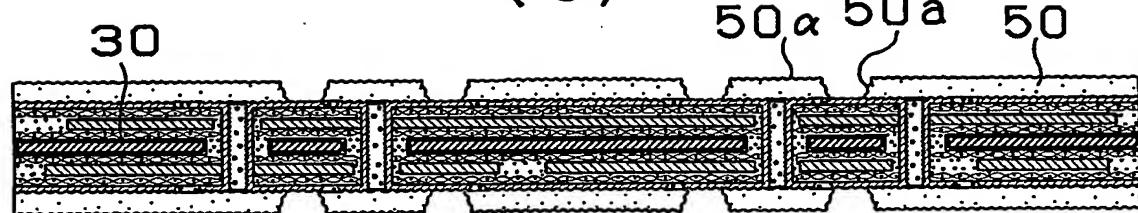
(A)



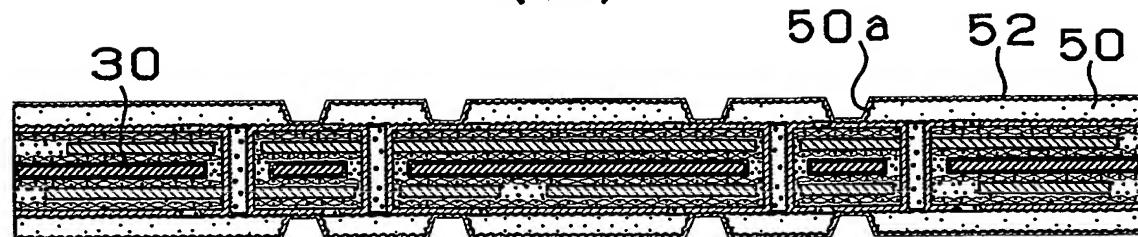
(B)



(C)

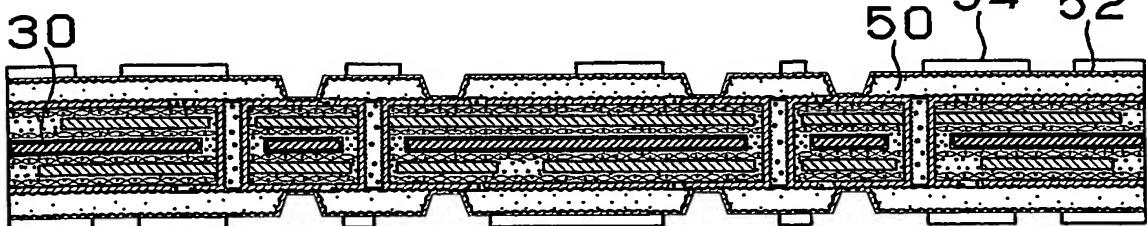


(D)

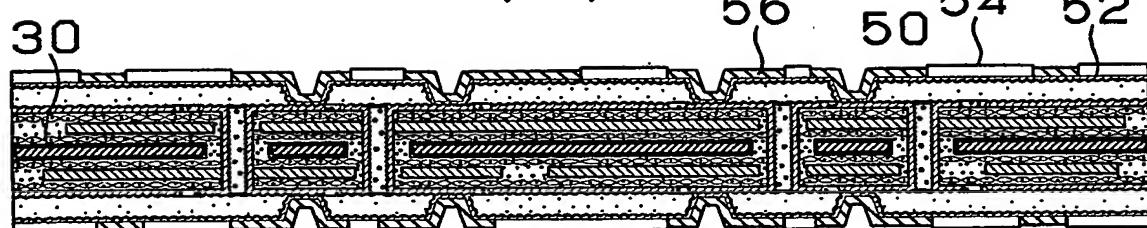


【図17】

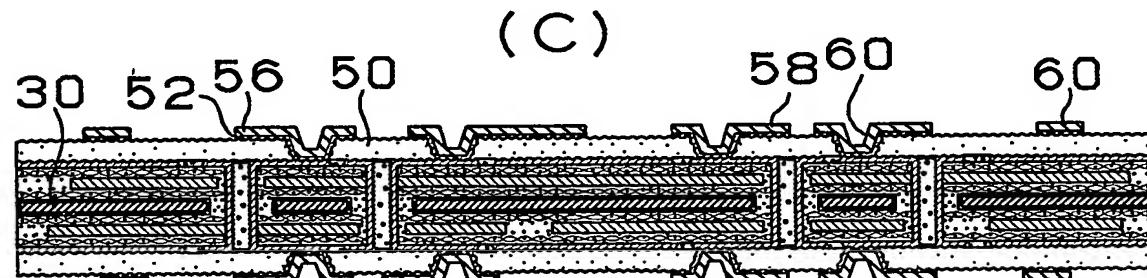
(A)



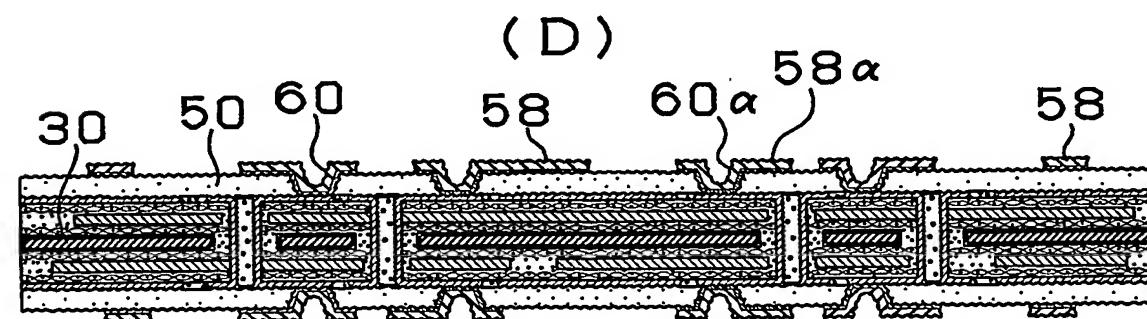
(B)



(C)

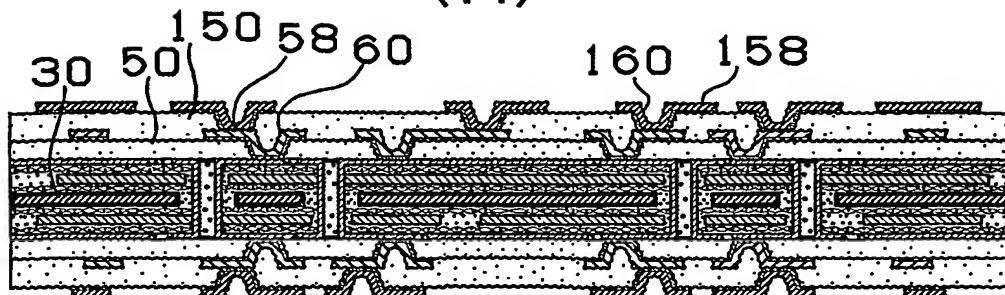


(D)

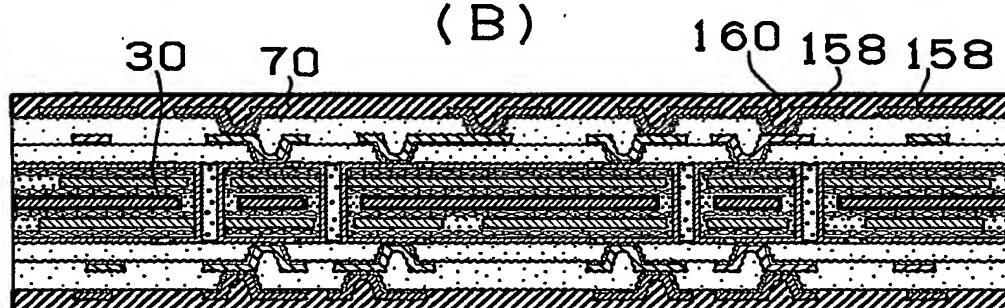


【図18】

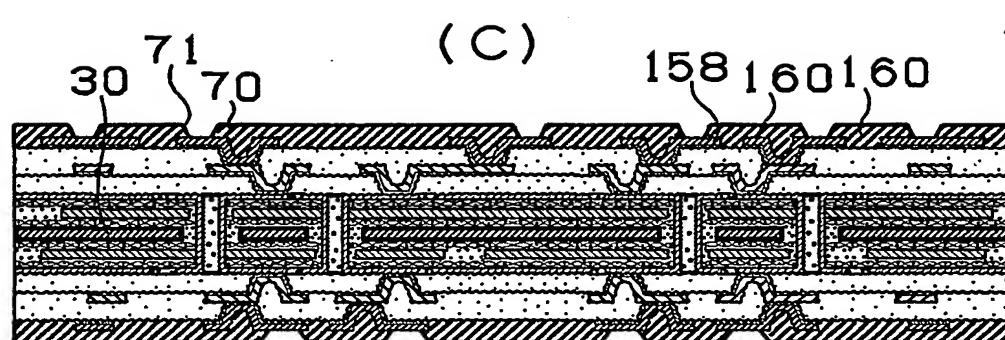
(A)



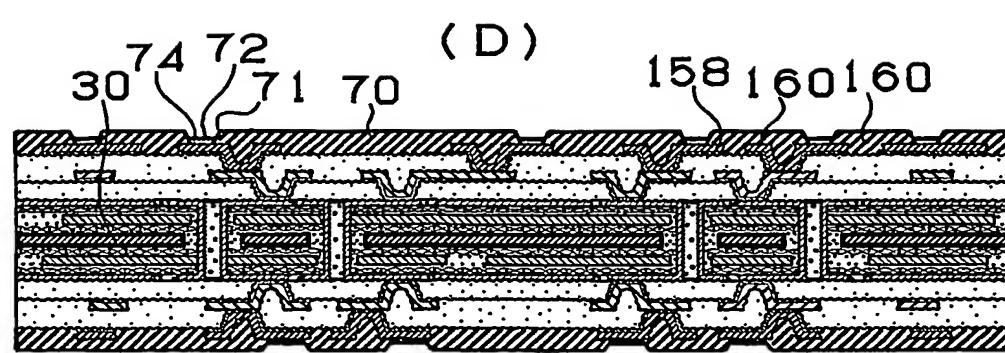
(B)



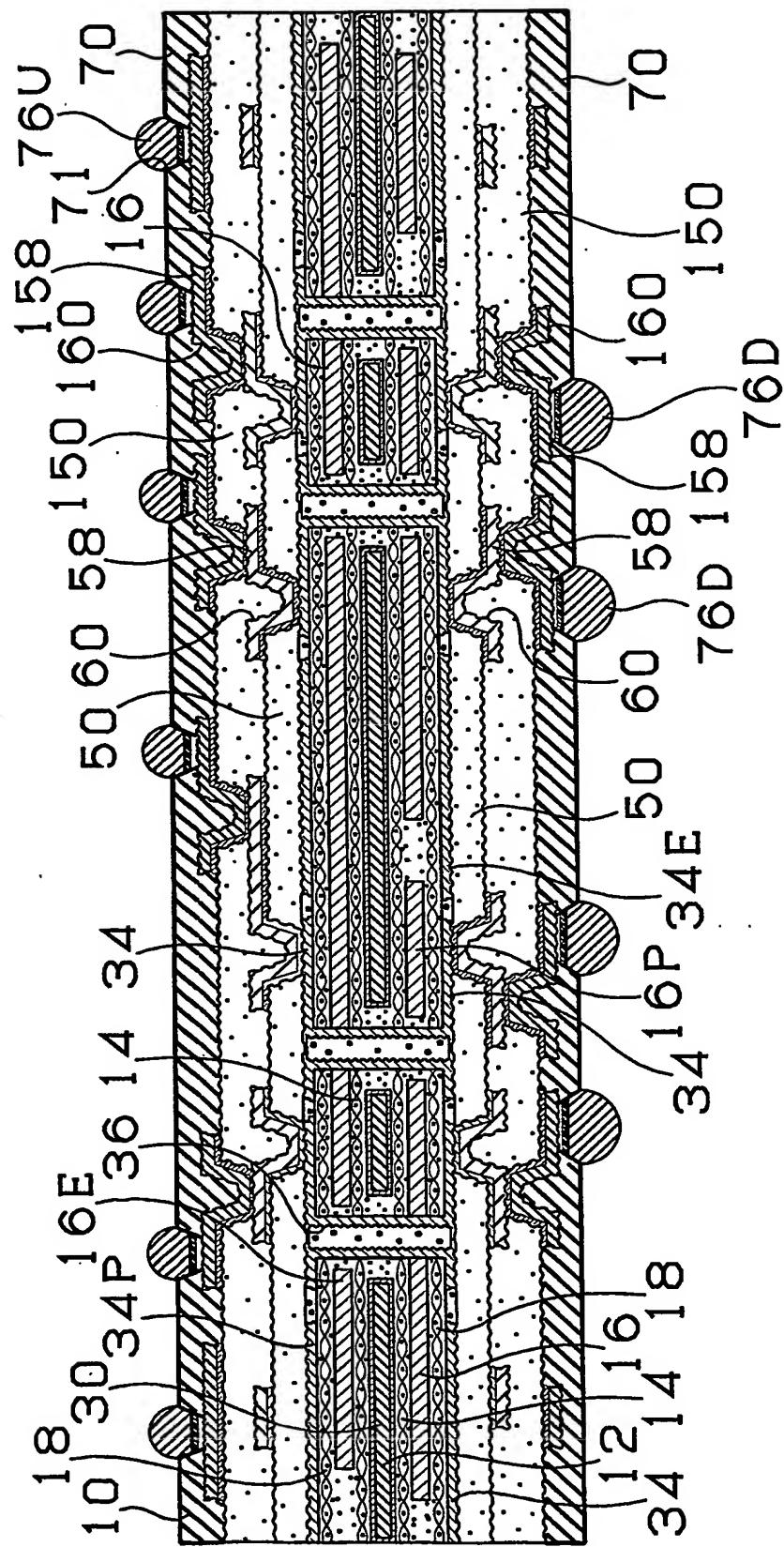
(C)



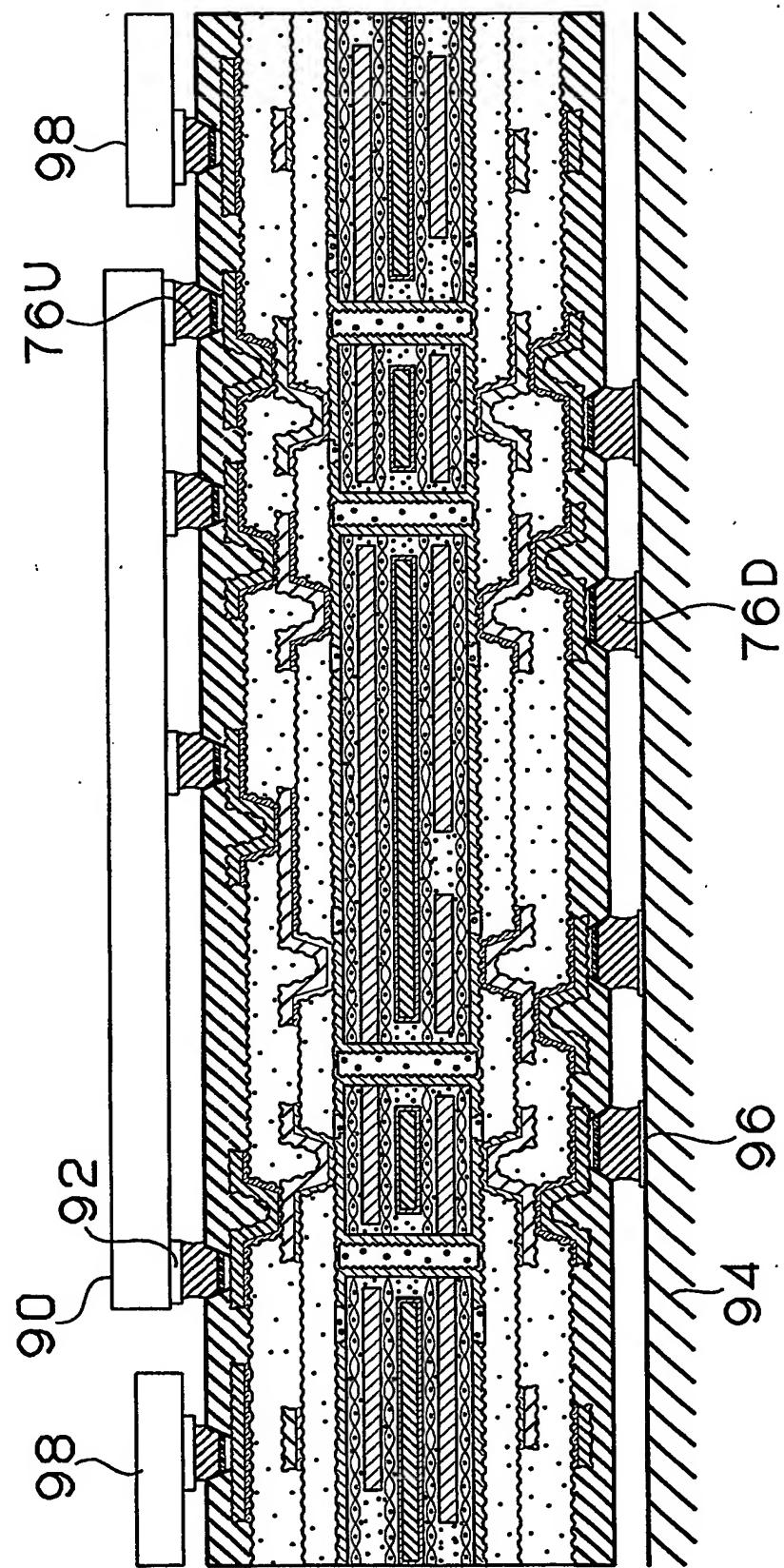
(D)



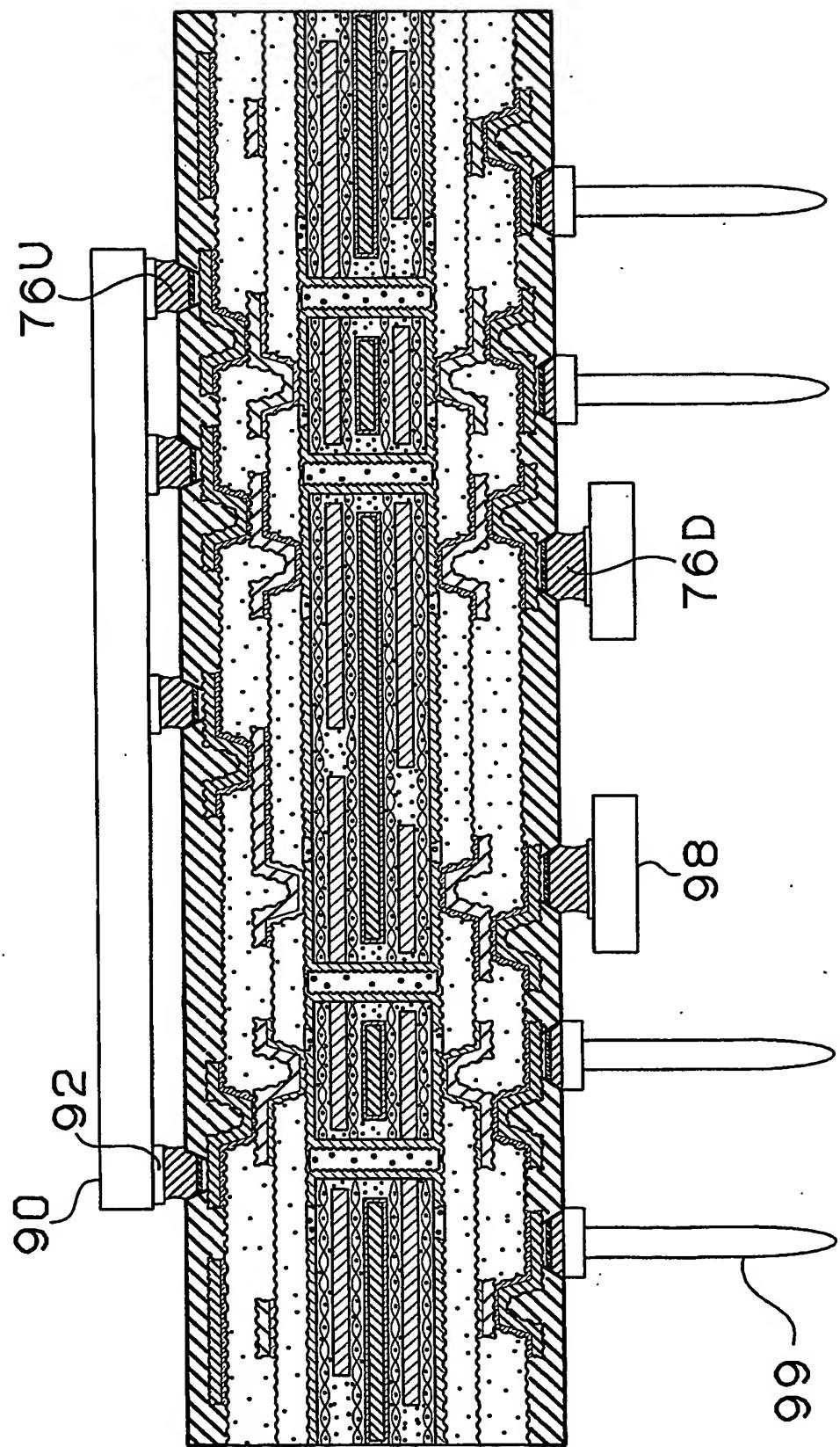
【図19】



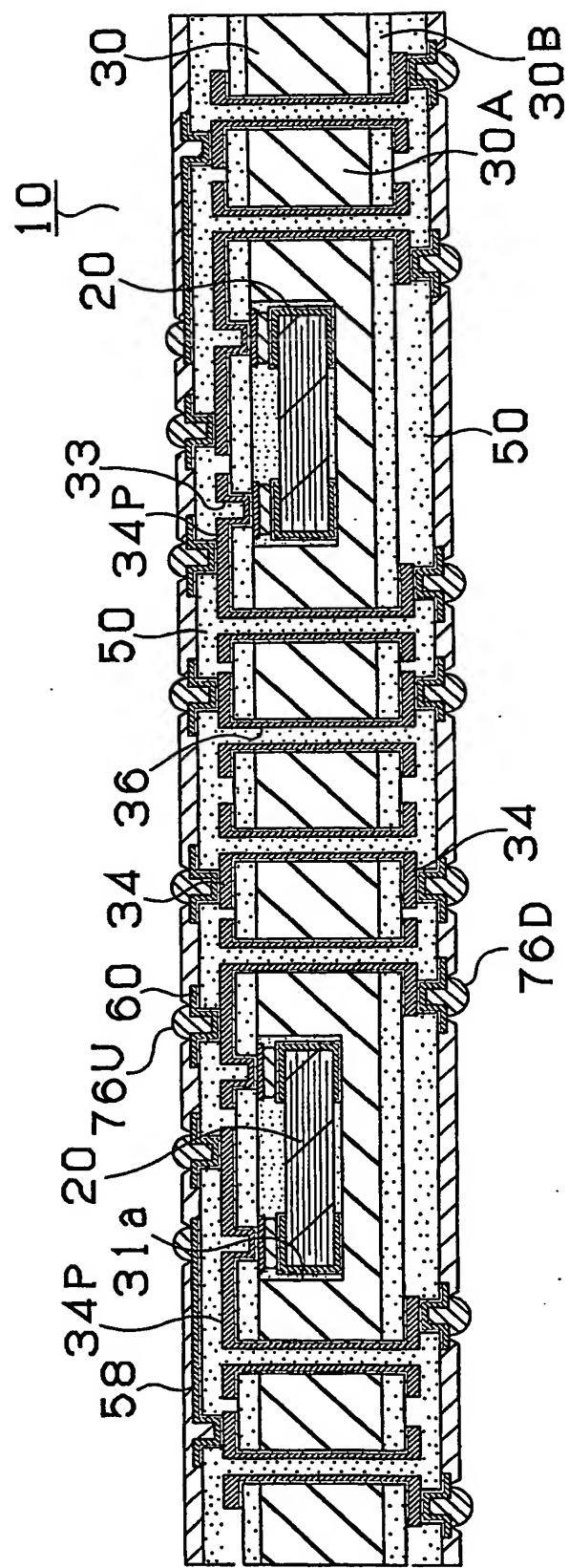
【図20】



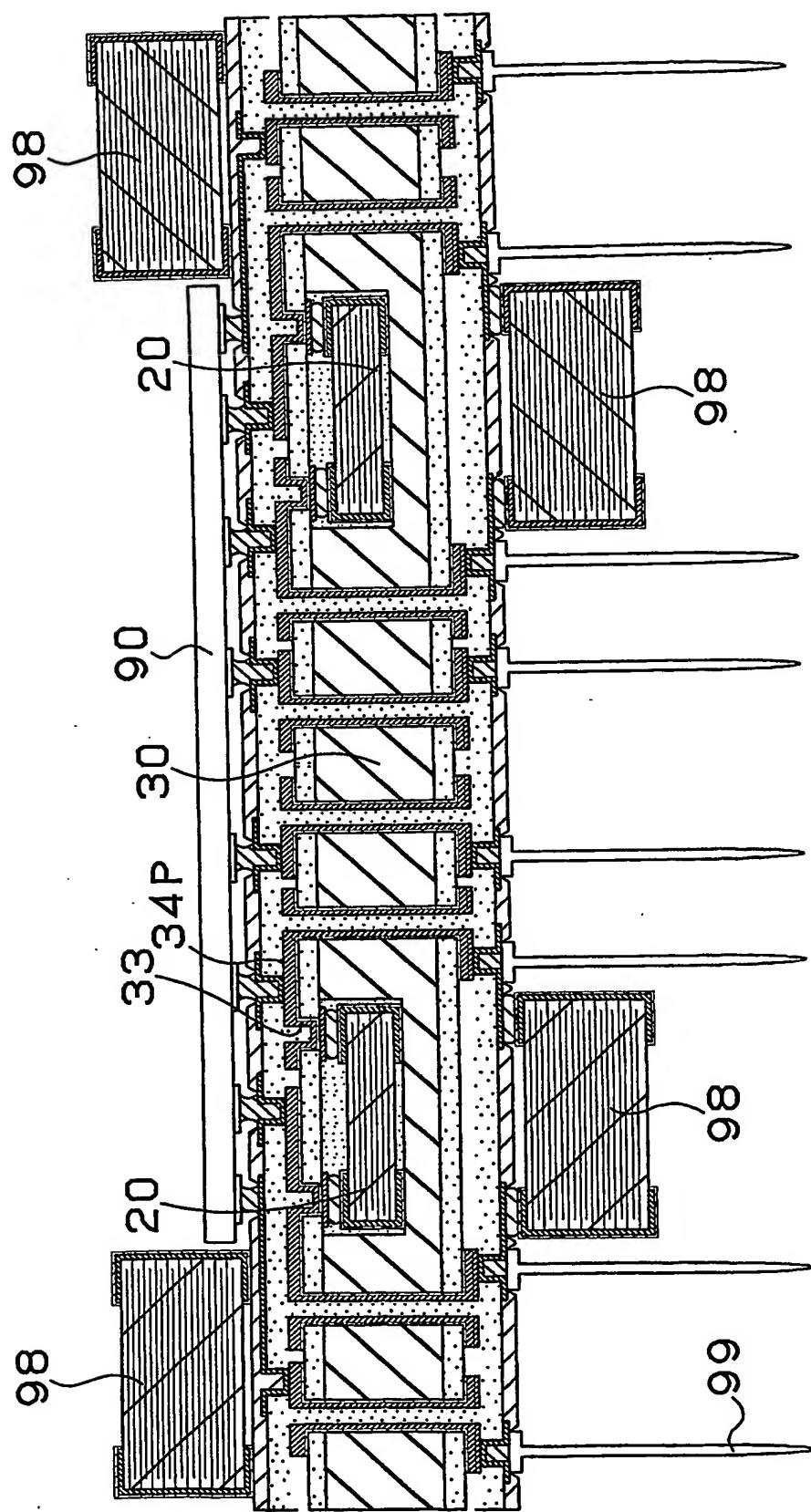
【図21】



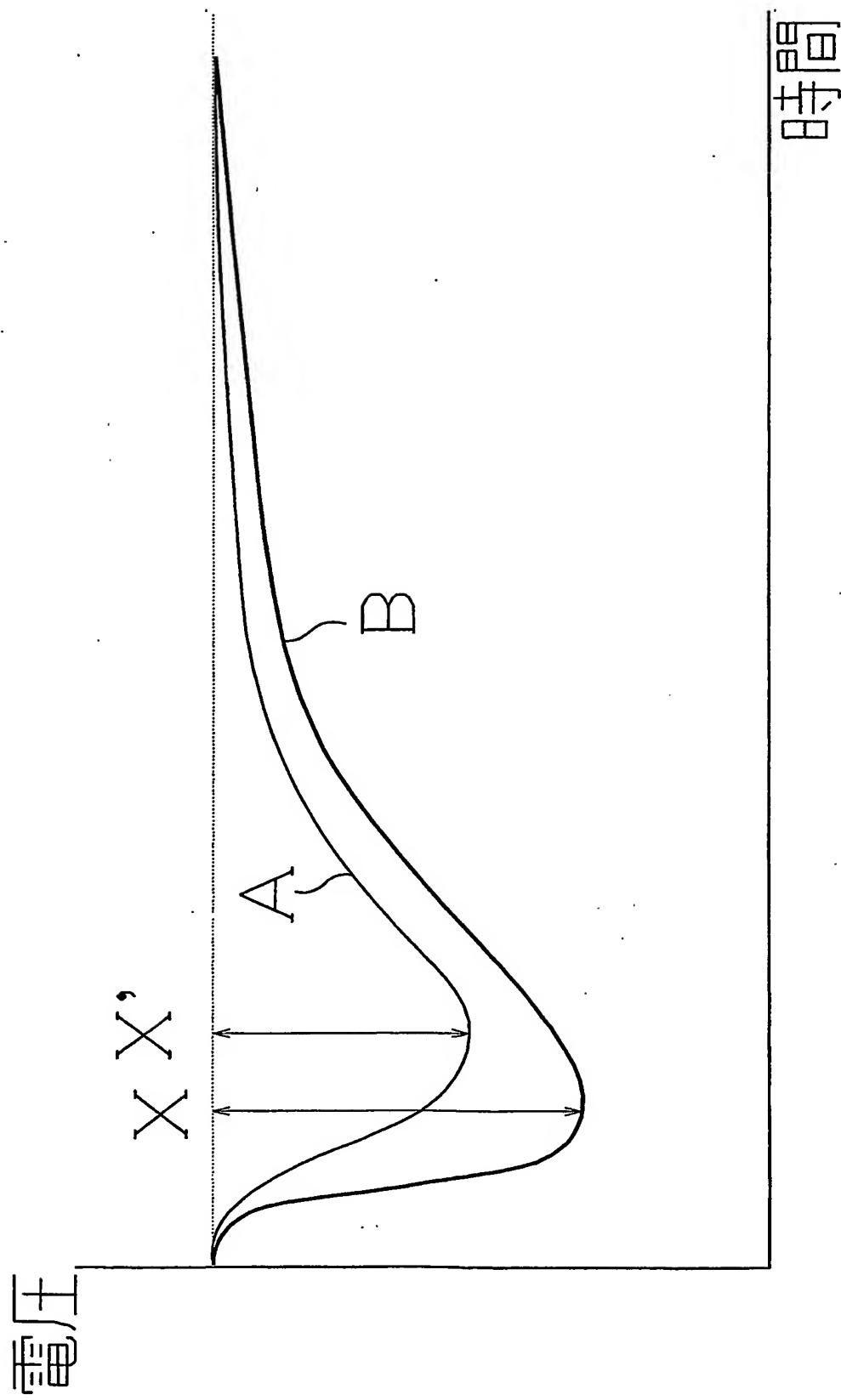
【図22】



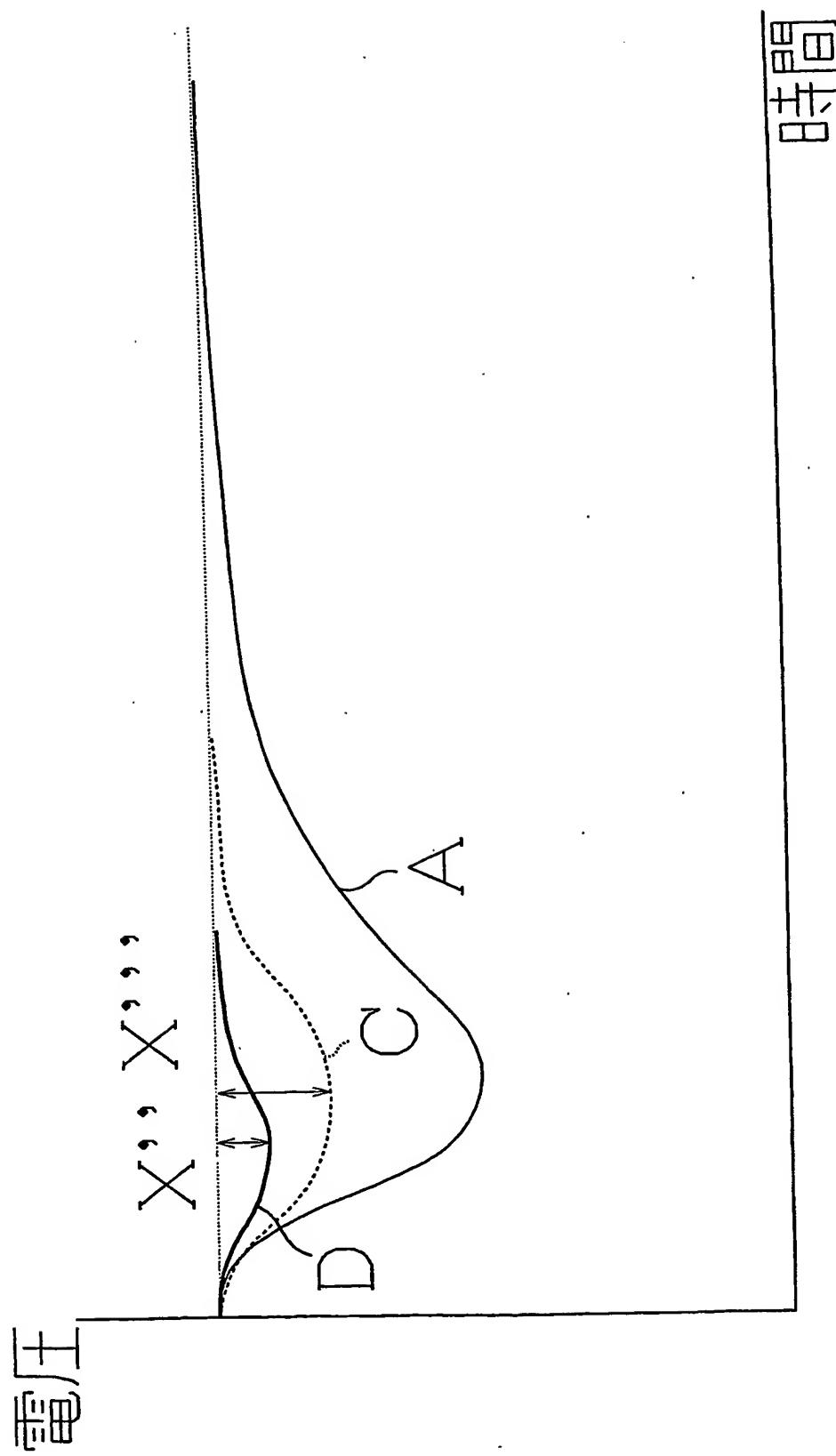
【図23】



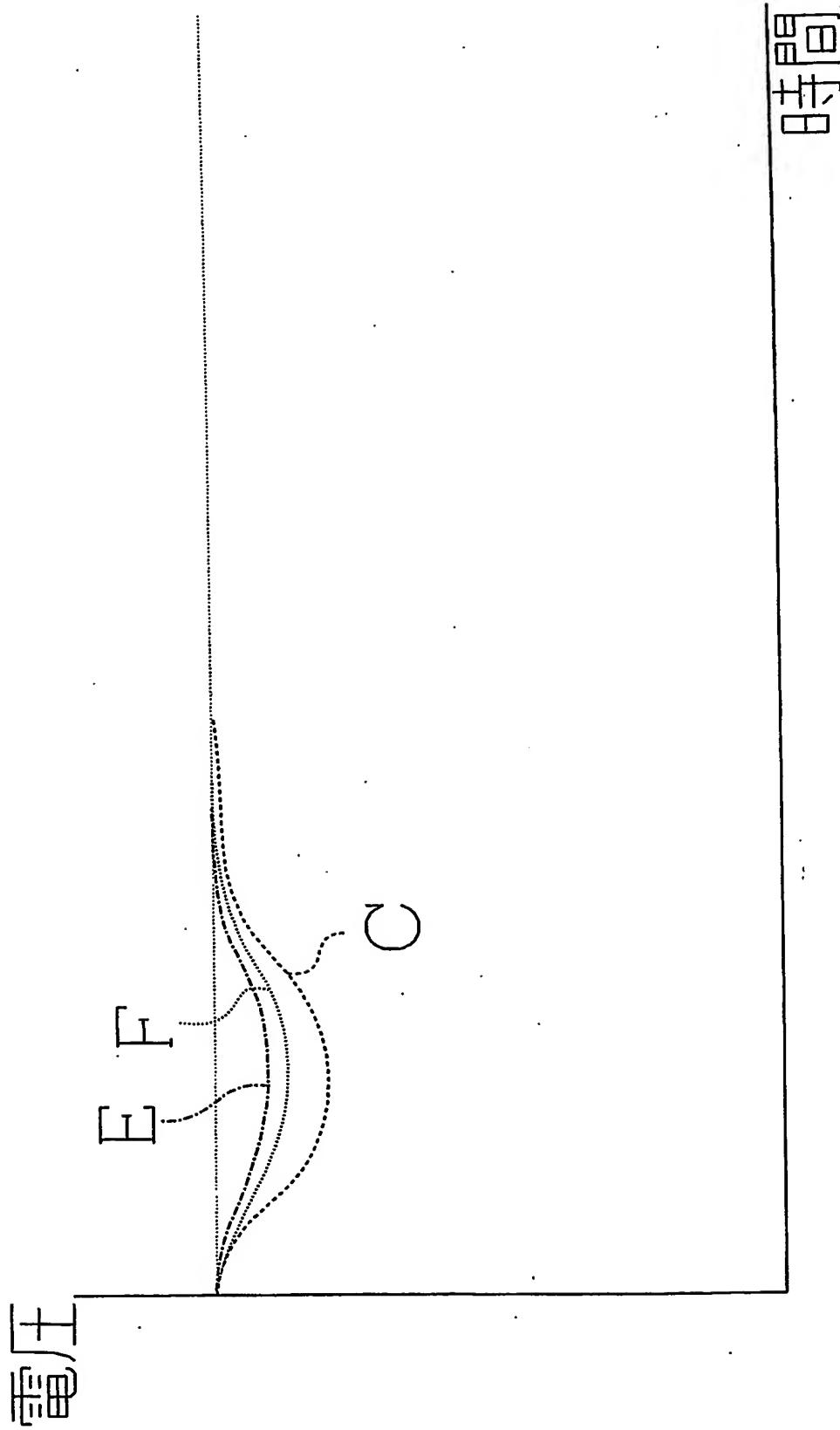
【図24】



【図25】



【図26】



【図27】

導体回路 の厚み	比率 α_1/α_2	IC誤動作 の有無	オープン の有無	IC誤動作 の有無	オープン の有無	IC誤動作 の有無	オープン の有無	1000hr 電圧 降下量 電圧(V)
第1実施例-1	2.0	○	○	○	○	○	○	○ 0.087
第1実施例-2	3.7	○	○	○	○	○	○	○ 0.088
第1実施例-3	5.0	○	○	○	○	○	○	○ 0.088
第1実施例-4	30.0	○	○	○	○	○	○	○ 0.083
第1実施例-5	1.2	○	○	○	○	○	○	○ 0.089
第2実施例-1	2.0	○	○	○	○	○	○	○ 0.088
第2実施例-2	3.7	○	○	○	○	○	○	○ 0.088
第2実施例-3	5.0	○	○	○	○	○	○	○ 0.088
第2実施例-4	30.0	○	○	○	○	○	○	○ 0.084
第3実施例-1	2.3	○	○	○	○	○	○	○ 0.087
第3実施例-2	3.7	○	○	○	○	○	○	○ 0.087
第3実施例-3	10.0	○	○	○	○	○	○	○ 0.084
第3実施例-4	30.0	○	○	○	○	○	○	○ 0.083
第3実施例-5	40.0	○	○	○	○	○	○	○ 0.083
第4実施例-1	3.3	○	○	○	○	○	○	○ 0.088
第4実施例-2	4.0	○	○	○	○	○	○	○ 0.087
第4実施例-3	5.0	○	○	○	○	○	○	○ 0.088
第4実施例-4	20.0	○	○	○	○	○	○	○ 0.083
第4実施例-5	30.0	○	○	○	○	○	○	○ 0.083
第4実施例-6	40.0	○	○	○	○	○	○	○ 0.083

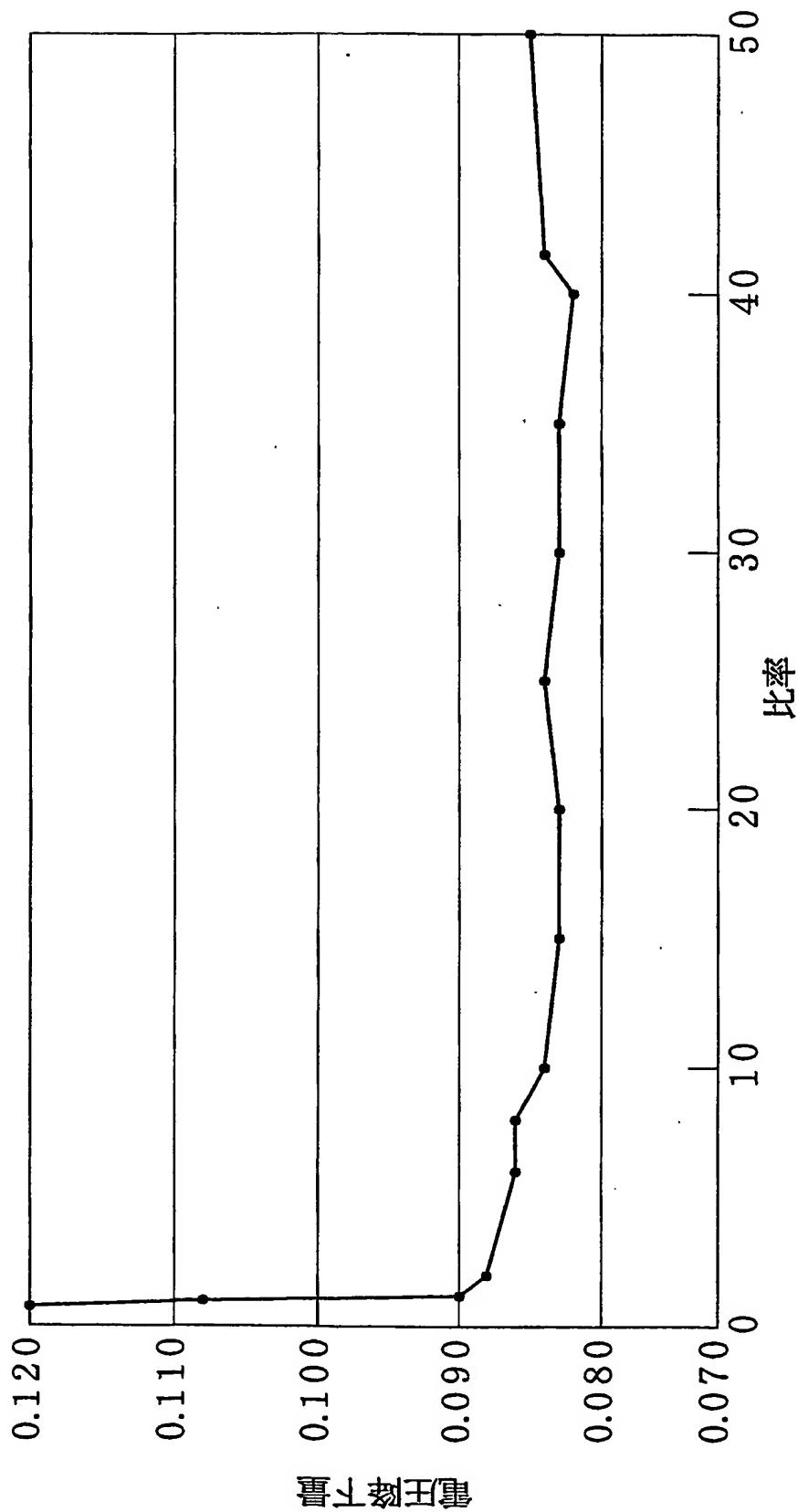
【図28】

導体回路 の厚み	α_1/α_2	100 hr			300 hr			500 hr			1000 hr			電圧 降下量
		IC誤動作 の有無	オープン の有無	IC誤動作 の有無										
第5実施例-1	6.7	○	○	○	○	○	○	○	○	○	○	○	○	0.086
第5実施例-2	5.4	○	○	○	○	○	○	○	○	○	○	○	○	0.086
第5実施例-3	10.0	○	○	○	○	○	○	○	○	○	○	○	○	0.084
第5実施例-4	20.0	○	○	○	○	○	○	○	○	○	○	○	○	0.083
第5実施例-5	30.0	○	○	○	○	○	○	○	○	○	○	○	○	0.083
第5実施例-6	40.0	○	○	○	○	○	○	○	○	○	○	○	○	0.082
第6実施例-1	2.0	○	○	○	○	○	○	○	○	○	○	○	○	0.088
第6実施例-2	3.7	○	○	○	○	○	○	○	○	○	○	○	○	0.087
第6実施例-3	5.0	○	○	○	○	○	○	○	○	○	○	○	○	0.087
第6実施例-4	30.0	○	○	○	○	○	○	○	○	○	○	○	○	0.083
比較例	1.0	×	○	×	○	×	○	×	○	×	×	×	×	0.108
参考例	41.5	○	○	○	○	○	○	○	○	○	○	○	○	0.084

ICチップの誤動作の有無 (○:誤動作なし ×:誤動作あり) オープンの有無 (○:オープンなし ×:オープンあり)

【図29】

コア電源層比率



電源層比率

【書類名】 要約書

【要約】

【課題】 高周波領域のICチップ、特に3GHzを越えても誤動作やエラーの発生しないパッケージ基板を提供する。

【解決手段】 コア基板30上の導体層34Pを厚さ30 μ mに形成し、層間樹脂絶縁層50上の導体回路58を15 μ mに形成する。導体層34Pを厚くすることにより、導体自体の体積を増やすし抵抗を低減することができる。更に、導体層34を電源層として用いることで、ICチップへの電源の供給能力を向上させることができる。

【選択図】 図6

認定・付加情報

特許出願の番号 特願2003-064986
受付番号 50300393412
書類名 特許願
担当官 第四担当上席 0093
作成日 平成15年 3月14日

<認定情報・付加情報>

【提出日】 平成15年 3月11日

次頁無

出願人履歴情報

識別番号 [000000158]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 岐阜県大垣市神田町2丁目1番地

氏 名 イビデン株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.